

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

特開 2001-156188

(51) Int. Cl. ⁶ H01L 27/115	(11) 공개번호 특2000-0076792
	(43) 공개일자 2000년12월26일
(21) 출원번호 10-2000-0011598	
(22) 출원일자 2000년03월08일	
(30) 우선권주장 1999-60751 1999년03월08일 일본(JP)	
	1999-262717 1999년09월16일 일본(JP)
(71) 출원인 가부시끼가이샤 도시바 니시우로 타이조	
	일본국 가나가와켄 가와사끼시 사이와이구 호리가와쵸 72반지
(72) 발명자 요시카와구니요시	
	일본국가나가와현요코하마시이소고구신스기타정8번지가부시끼가이샤도시바 요코하마사업소내
(74) 대리인 김윤배, 이범일	

심사청구 : 있음

(54) 불휘발성 반도체기억장치 및 그 제조방법, 휘발성반도체기억장치 및 그 제조방법, 및 불휘발성반도체기억장치와 휘발성 반도체기억장치를 혼재한반도체기억장치 및 그 제조방법

요약

본 발명은 복수 비트분의 정보를 기억할 수 있는 불휘발성 반도체기억장치의 신규한 구조를 개시한다. 본 발명에 따른 불휘발성 반도체기억장치는 게이트전극의 단부에 전자를 축적하는 전하축적층(4)을 갖추고 있다. 본 발명에 따른 불휘발성 반도체기억장치는, 이 전하축적층(4)에 전자를 축적함으로써, 복수 비트분의 정보를 기억한다.

대표도

도1

명세서

도면의 간단한 설명

- 도 1은 본 발명의 제1실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도.
- 도 2a 내지 도 2c는 본 발명의 제1실시형태에 따른 불휘발성 반도체 메모리의 동작을 설명하는 단면도.
- 도 3a 내지 도 3e는 본 발명의 제1실시형태에 따른 불휘발성 반도체 메모리의 메모리셀의 제조공정을 나타낸 단면도.
- 도 4는 본 발명의 제2실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도.
- 도 5a 및 도 5b는 본 발명의 제2실시형태에 따른 불휘발성 반도체 메모리의 동작을 설명하는 단면도.
- 도 6a 내지 도 6g는 본 발명의 제2실시형태에 따른 불휘발성 반도체 메모리의 메모리셀의 제조공정을 나타낸 단면도.
- 도 7은 본 발명의 제4실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도.
- 도 8a 및 도 8b는 본 발명의 제4실시형태에 따른 불휘발성 반도체 메모리의 동작을 설명하는 단면도.
- 도 9는 본 발명의 제5실시형태에 따른 불휘발성 메모리의 주변회로를 구성하는 MOS 트랜지스터의 구조를 나타낸 단면도.
- 도 10a 내지 도 10g는 도 9의 MOS 트랜지스터의 제조공정을 나타낸 단면도.
- 도 11a는 본 발명의 제6실시형태에 따른 반도체기억장치에 탑재된 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도.
- 도 11b는 본 발명의 제6실시형태에 따른 반도체기억장치에 탑재된 휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도.
- 도 12a 및 도 12b는 본 발명의 제6실시형태에 따른 불휘발성 반도체 메모리의 동작을 설명하는 단면도.
- 도 13a 내지 도 13i는 본 발명의 제6실시형태에 따른 불휘발성 반도체 메모리의 메모리셀의 제조공정을 나타낸 단면도.
- 도 14a 내지 도 14i는 본 발명의 제6실시형태에 따른 휘발성 반도체 메모리의 메모리셀의 제조공정을 나타낸 단면도.

단면도.

도 15a는 본 발명의 제7실시형태에 따른 반도체기억장치에 탑재된 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도.

도 15b는 본 발명의 제7실시형태에 따른 반도체기억장치에 탑재된 휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도.

도 16a 내지 도 16i는 본 발명의 제7실시형태에 따른 불휘발성 반도체 메모리의 메모리셀의 제조공정을 나타낸 단면도.

도 17a 내지 도 17i는 본 발명의 제7실시형태에 따른 휘발성 반도체 메모리의 메모리셀의 제조공정을 나타낸 단면도.

도 18은 본 발명의 제8실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도.

도 19a 및 도 19b는 본 발명의 제8실시형태에 따른 불휘발성 반도체 메모리의 동작을 설명하는 단면도.

도 20a 내지 도 20i는 본 발명의 제8실시형태에 따른 불휘발성 반도체 메모리의 메모리셀의 제조공정을 나타낸 단면도.

도 21은 본 발명의 제9실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도.

도 22a 내지 도 22f는 본 발명의 제9실시형태에 따른 불휘발성 반도체 메모리의 메모리셀의 제조공정을 나타낸 단면도.

도 23은 본 발명의 제10실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도.

도 24a 및 도 24b는 본 발명의 제10실시형태에 따른 불휘발성 반도체 메모리의 동작을 설명하는 단면도.

도 25a 내지 도 25i는 본 발명의 제10실시형태에 따른 불휘발성 반도체 메모리의 메모리셀의 제조공정을 나타낸 단면도.

도 26은 본 발명의 제11실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도.

도 27a 내지 도 27f는 본 발명의 제11실시형태에 따른 불휘발성 반도체 메모리의 메모리셀의 제조공정을 나타낸 단면도.

도 28은 본 발명의 제12실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도.

도 29a 내지 도 29i는 본 발명의 제12실시형태에 따른 불휘발성 반도체 메모리의 메모리셀의 제조공정을 나타낸 단면도.

도 30은 본 발명의 제13실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도.

도 31a 및 도 31b는 n형 MOS 트랜지스터로 구성된 본 발명의 제13실시형태에 따른 불휘발성 반도체 메모리의 동작을 설명하는 단면도.

도 32a 및 도 32b는 p형 MOS 트랜지스터로 구성된 본 발명의 제13실시형태에 따른 불휘발성 반도체 메모리의 동작을 설명하는 단면도.

도 33은 본 발명의 제13실시형태에 따른 불휘발성 반도체 메모리의 메모리셀과 동일한 게이트구조를 갖는 MOS 트랜지스터의 구조를 나타낸 단면도.

도 34는 본 발명의 제14실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도.

도 35는 본 발명의 제14실시형태에 따른 불휘발성 반도체 메모리의 메모리셀과 동일한 게이트구조를 갖는 MOS 트랜지스터의 구조를 나타낸 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전기적으로 기록·소거가능한 불휘발성 반도체기억장치 및 그 제조방법, 고속으로 기록·독출가능한 휘발성 반도체기억장치 및 그 제조방법, 및 불휘발성 반도체기억장치와 휘발성 반도체기억장치를 동일 칩상에 혼재한 반도체기억장치 및 그 제조방법에 관한 것이다.

종래의 EEPROM(Electrically Erasable and Programmable Read Only Memory) 등의 불휘발성 메모리에서는, 1개의 셀에 다른 2개의 임계치를 실현함으로써, 1개의 셀에 1비트분의 정보를 기억한다. 이에 대해 메모리 고밀도화를 위해, 1개의 셀에 4개 이상의 임계치를 갖게 하고, 2비트분 이상의 정보를 1개의 셀에 기억하는 기술이 제안되어 있다(M. Bauer et al., ISSCC95, p.132). 그러나, 이 기술을 실현하기 위해서는, 임계치 전압의 정확한 제어, 임계치전압의 작은 변화분의 정확한 검지, 더욱이 종래 이상의 전하유지 신뢰성이 요구된다. 따라서, 이 기술에서는 실제로는 반드시 종래와 동등한 성능을 얻을 수는 없다. 또, 이 기술은 제조수율이 낮다고 하는 문제도 있다. 이 때문에, 전하를 물리적으로 다른 복수의 위치에 축적함으로써 복수 비트분의 정보를 기억하는 셀구조가 새롭게 제안되어 있다(B. Eitan et al. IEDM96, p.169, Fig 6). 또, 그것과 유사한 셀구조로서 본 발명자에 의해 게이트전극의 측면에 전하축적층을 설치하는 구조가 이전에 제안되어 있다(미국 특허번호 제4,881,108호). 그러나, 이들 셀구조의 제조공정은 대단히 복잡한 것이고, 또 채널영역의

제어성도 충분치 않다고 하는 문제가 있다.

한편, 작금의 시스템 온 칩(system on chip)의 요구로부터 전기적으로 기록·소거가능한 불휘발성 메모리와 고속으로 기록·독출가능한 휘발성 메모리를 동일한 칩상에 실현할 필요가 높아지고 있다. 특히, EEPROM이나 플래시 메모리 등의 부유게이트구조를 갖는 불휘발성 메모리와 고속동작가능한 다이내믹 RAM을 혼재하는 VLSI의 요구가 급증하고 있다. 그렇지만, 근래의 다이내믹 RAM의 메모리셀은 트랜치 구조나 스택 구조라고 하는 대단히 복잡한 3차원 구조로 되고 있다. 이 때문에, 부유게이트형 불휘발성 메모리와 다이내믹 RAM을 혼재하려고 하면, 그 메모리셀 구조의 차이로부터 제조프로세스가 복잡화되고, 마스크공정수도 증대된다. 따라서, 그 혼재칩의 제조비용이 대단히 높은 것으로 되어 버린다.

부유게이트형의 불휘발성 메모리의 메모리셀 구조를 이용하여 다이내믹 RAM의 메모리셀을 실현하면, 셀구조의 공통화에 의해 제조프로세스가 단순화되어 제조비용을 저감하는 것은 가능하다. 그러나, 그 공통화된 메모리셀에서는 다이내믹 RAM의 특징인 고속기록을 실현하는 것이 곤란하다.

발명이 이루고자하는 기술적 과제

본 발명은 상기 사정을 감안하여 이루어진 것으로, 간단한 셀구조로 복수 비트분의 정보를 기억할 수 있는 불휘발성 반도체기억장치의 구조를 제공하는 것을 목적으로 한다.

본 발명의 다른 목적은, 간단한 제조프로세스로 복수 비트분의 정보를 기억하는 불휘발성 반도체기억장치를 제조하는 불휘발성 반도체기억장치의 제조방법을 제공하는 것이다.

본 발명의 또 다른 목적은, 간단한 제조프로세스로 전기적으로 기록·소거가능한 불휘발성 메모리와 고속 기록·독출가능한 휘발성 메모리를 혼재한 반도체기억장치의 제조를 제공하는 것이다.

본 발명의 더욱 다른 목적은, 간단한 제조프로세스로 전기적으로 기록·소거가능한 불휘발성 메모리와 고속 기록·독출가능한 휘발성 메모리를 혼재한 반도체기억장치의 제조방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위해 본 발명의 제1특징은, 반도체기판의 주연상에 게이트절연막을 매개해서 배치된 제1게이트전극과, 제1게이트전극의 측면상에 배치된 전하축적층, 제1게이트전극의 측면상에 전하축적층을 매개해서 배치된 제2게이트전극 및, 제1게이트전극과 제2게이트전극을 전기적으로 접속하는 도전층을 적어도 구비하는 불휘발성 반도체기억장치인 점이다.

본 발명의 제2특징은, 반도체기판의 주연상에 배치된 제1, 제2 및 제3절연막으로 이루어진 게이트절연막과, 제2절연막의 단부에 배치된 전하축적층 및, 게이트절연막상에 배치된 게이트전극을 적어도 구비하는 불휘발성 반도체기억장치인 점이다.

본 발명의 제3특징은, 불휘발성 반도체기억장치와 휘발성 반도체기억장치를 혼재하는 반도체기억장치로, 불휘발성 반도체기억장치는 반도체기판의 주연상에 배치된 제1하부절연막과, 제1하부절연막의 중앙의 상부에 배치된 제1중간절연막, 제1하부절연막의 단부의 상부에 배치된 제1전하축적층, 제1중간절연막 및 제1전하축적층의 상부에 배치된 제1상부절연막 및, 제1상부절연막의 상부에 배치된 제1게이트전극을 적어도 구비하고, 휘발성 반도체기억장치는 반도체기판의 주연상에 배치된 제1중간절연막과 동일 재료로 이루어진 제2하부절연막과, 반도체기판의 주연상에 또한 제2하부절연막의 양단에 배치된 극박(極薄)절연막, 극박절연막의 상부에 배치된 제1전하축적층과 동일 재료로 이루어진 제2전하축적층, 제2하부절연막 및 제2전하축적층의 상부에 배치된 제1상부절연막과 동일 재료로 이루어진 제2상부절연막 및, 제2상부절연막의 상부에 배치된 제2게이트전극을 적어도 구비한다.

본 발명의 제4특징은, 불휘발성 반도체기억장치와 휘발성 반도체기억장치를 혼재하는 반도체기억장치로, 불휘발성 반도체기억장치는 반도체기판의 주연상에 배치된 제1하부절연막과, 제1하부절연막의 중앙의 상부에 배치된 제1중간절연막, 제1하부절연막의 단부의 상부에 배치된 제1전하축적층, 제1중간절연막 및 제1전하축적층의 상부에 배치된 제1상부절연막 및, 제1상부절연막의 상부에 배치된 제1게이트전극을 적어도 구비하고, 휘발성 반도체기억장치는 반도체기판의 주연상에 배치된 극박절연막과, 극박절연막상에 배치된 제1전하축적층과 동일 재료로 이루어진 제2전하축적층, 제2전하축적층상에 배치된 제2상부절연막 및, 제2상부절연막상에 배치된 제2게이트전극을 적어도 구비한다.

본 발명의 제5특징은, 반도체기판의 주연상에 배치된 철(凸)부 또는 요(凹)부와, 철부 또는 요부를 포함하는 반도체기판의 주연상에 배치된 제1, 제2 및 제3절연막으로 이루어진 게이트절연막, 제2절연막의 단부에 배치된 전하축적층 및, 게이트절연막상에 배치된 게이트전극을 적어도 구비하는 불휘발성 반도체기억장치인 점이다.

본 발명의 제6특징은, 반도체기판의 주연상에 배치된 철부 또는 요부와, 철부 또는 요부를 포함하는 반도체기판의 주연상에 배치된 제1 및 제2절연막으로 이루어진 게이트절연막, 제1 및 제2절연막의 사이에 배치된 전하축적층 및, 게이트절연막상에 배치된 게이트전극을 적어도 구비하는 불휘발성 반도체기억장치인 점이다.

본 발명의 제7특징은, 반도체기판의 주연상에 게이트절연막을 매개해서 배치된 게이트전극과, 게이트전극의 단부에 배치된 요부 및, 요부에 절연막을 매개해서 배치된 전하축적층을 적어도 구비하고, 전하축적층은 채널영역 및 소스·드레인영역의 양쪽의 상부에 배치되는 불휘발성 반도체기억장치인 점이다.

(실시형태)

이하, 도면을 참조하여 본 발명의 실시형태를 설명한다. 이하의 도면의 기재에 있어서, 동일 또는 유사한 부분에는 동일 또는 유사한 부호를 붙이고 있다. 다만, 도면은 모식적인 것이고, 두께와 평면치수와의 관계, 각 층의 두께의 비율 등은 현실의 것과는 다르다는 점에 유의해야 한다. 따라서, 구체적인 두께나 치수는 이하

의 설명을 창작하여 판단해야 할 것이다. 또, 도면 상호간에 있어서도 서로의 치수의 관계나 비율이 다른 부분이 포함되어 있음은 물론이다.

제1 실시형태

도 1은 본 발명의 제1 실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도이다. 이 메모리셀은 n형 MOS 트랜지스터로 구성된다. 본 발명의 제1 실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조에서는, p형 반도체기판(1)의 표면에 게이트절연막(2)을 매개해서 제1게이트전극(3)이 설치되고, 제1게이트전극(3)의 양측면에는 전하축적층(4; 4a, 4b)이 설치된다. 이 전하축적층(4)은 적층구조를 갖고 있고, 제1층이 제1산화막(5), 제2층이 질화막(6), 제3층이 제2산화막(7)으로 구성된다. 더욱이, 전하축적층(4)의 상부에는 제2게이트전극(8)이 설치된다. 전하축적층(4)의 측면에는 측벽 스페이서(side wall spacer; 9)가 설치되고, 이 측벽 스페이서(9)의 하부의 p형 반도체기판(1)에는 채널영역에 접하는 저불순물농도의 n⁻형 확산층(10)과, 이 n⁻형 확산층(10)의 외측에 위치하는 고불순물농도의 n⁺형 확산층(11)이 설치된다. 제1게이트전극(3), 전하축적층(4), 제2게이트전극(8) 및 n⁺형 확산층(11) 각각의 표면에는 도전층(12)이 설치된다. 제1게이트전극(3)과 제2게이트전극(8)은 이 도전층(12)을 매개해서 전기적으로 접속된다.

본 발명의 제1 실시형태에 따른 불휘발성 반도체 메모리의 메모리셀은, 소스영역 및 드레인영역을 저불순물농도의 n⁻형 확산층(10)과 고불순물농도의 n⁺형 확산층(11)으로 구성된 LDD(Lightly doped drain)구조를 갖고 있다. 그리고, 제1게이트전극(3)의 양측면에는 전하축적층(4)이 형성되고, 이 2개의 전하축적층(4)의 질화막(6)에 유입된 전자의 유무에 따라 생기는 임계치전압의 변화분을 기억정보의 "00", "01", "10", "11"에 대응시킨다. 더욱이, 전하축적층(4)의 상부에 제2게이트전극(8)을 형성하고, 이 제2게이트전극(8)을 제1게이트전극(3)에 전기적으로 접속함으로써, 채널영역의 제어성을 높여 임계치전압 변화분의 경지를 용이하게 한다.

다음에는 본 발명의 제1 실시형태에 따른 불휘발성 메모리의 동작에 대해 도 2a 내지 도 2c를 참조하여 설명한다. 도 2a는 기록동작을 설명하는 불휘발성 메모리의 단면도이다. 도 2b는 독출동작을 설명하는 불휘발성 메모리의 단면도이다. 도 2c는 소거동작을 설명하는 불휘발성 메모리의 단면도이다. 도 2a에 나타난 바와 같이, 메모리셀의 기록시에는, 게이트(G)에 고전압(~10V)을 인가하고, 동시에 전자를 축적하는 전하축적층(4b)에 근접하는 드레인(D)에 고전압(~8V)을 인가하며, 근접하지 않은 소스(S)를 접지한다. 이와 같이 전압을 인가하면, 채널열전자(Channel Hot Electron)가 발생하고, 이 열전자가 전하축적층(4b)의 질화막(6)에 포획된다. 전하축적층(4b)에 전자가 포획되면, 셀 트랜지스터의 임계치전압이 변화한다. 메모리셀의 독출은 임계치전압의 변화분을 검지함으로써 행해진다. 구체적으로는, 도 2b에 나타난 바와 같이, 게이트(G)에 전압(5V)을 인가하고, 동시에 드레인(D)에 전압(3V)을 인가하며, 전류량의 차를 센스앰프에 의해 검지한다. 또, 메모리셀의 소거는 도 2c에 나타난 바와 같이 게이트(G)에 부전압(~-6V)을 인가하고, 소거되는 전하축적층(4b)에 근접하는 드레인(D)에 정전압(~9V)을 인가하며, 전하축적층(4b)에 포획된 전자를 방출함으로써 행해진다. 한편, 주지하고 있는 바와 같이, MOS 트랜지스터의 소스(S)와 드레인(D)은 대칭으로 할 수 있고, 일반적으로 소스(S)와 드레인(D)은 교체하는 것이 가능하다. 따라서, 상기의 설명에 있어서도, 소스(S)와 드레인(D)을 교체하는 것이 가능하다.

다음에는 본 발명의 제1 실시형태에 따른 불휘발성 반도체 메모리의 메모리셀의 제조방법을 도 3a 내지 도 3e를 참조하여 설명한다. 먼저, 도 3a에 나타난 바와 같이, p형 반도체기판(1)상에 열산화에 의해 25nm의 게이트절연막(2)을 형성한다. 이어서, p형 반도체기판(1) 전면에 LPCVD(Low Pressure Chemical Vapor Deposition)법에 의해 n형 또는 p형 불순물을 도포한 300nm의 다결정실리콘막을 퇴적한 후, 주지의 노광기술 및 에칭기술에 의해 패터닝하여 제1게이트전극(3)을 형성한다.

다음에, 도 3b에 나타난 바와 같이, 소스영역 및 드레인영역을 형성하는 영역의 p형 반도체기판(1)의 표면의 게이트절연막(2)을 제거한 후, p형 반도체기판(1)을 900℃~1200℃의 산화분위기중에서 열산화하여 10nm의 제1산화막(5)을 형성한다. 그리고, 제1산화막(5)상에 LPCVD법에 의해 10nm~100nm의 질화막(6)을 퇴적하고, 그 후 900℃의 수소연소산화 또는 CVD법에 의해 질화막(6) 표면에 5nm 정도의 제2산화막(7)을 형성한다.

다음에, 도 3c에 나타난 바와 같이, 제2산화막(7)상에 예컨대 LPCVD법에 의해 25~250nm 정도의 다결정실리콘막을 퇴적한 후, RIE(Reactive Ion Etching)법에 의한 이방성 에칭을 행하여, 이 다결정실리콘막, 제1산화막(5), 질화막(6) 및 제2산화막(7)을 그들의 막두께만큼 제거함으로써, 상부에 제2게이트전극(8)을 갖는 전하축적층(4; 4a, 4b)을 제1게이트전극 측면에 형성한다.

다음에, 도 3d에 나타난 바와 같이, 저불순물농도의 n⁻형 확산층(10)을 형성한다. n⁻형 확산층(10)은 이온주입기술에 의해 제1게이트전극(3) 및 전하축적층(4)을 마스크로 하여 n형 불순물을 주입하고, 그 후의 열처리에 의해 주입한 불순물을 활성화함으로써 형성된다.

다음에, 도 3e에 나타난 바와 같이, 전하축적층(4)의 측벽에 측벽 스페이서(9)를 형성한 후, 고불순물농도의 n⁺형 확산층(11)을 형성한다. n⁺형 확산층(11)은 이온주입기술에 의해 제1게이트전극(3), 전하축적층(4) 및 측벽 스페이서(9)를 마스크로 하여 n형 불순물을 주입하고, 그 후의 열처리에 의해 주입한 불순물을 활성화함으로써 형성된다.

다음에, p형 반도체기판(1)의 전면에 CVD법 또는 스퍼터법에 의해 텅스텐, 티탄, 코발트 등의 고용점금속막을 퇴적하고, 이어서 p형 반도체기판(1)을 불활성 분위기중에서 열처리함으로써 제1게이트전극(3), 전하축적층(4), 제2게이트전극(8) 및 n⁺형 확산층(11) 각각의 표면에 고용점금속실리사이드로 구성되는 도전층(12)을 형성한다. 이 때, 제1게이트전극(3) 및 제2게이트전극(8)상의 고용점금속실리사이드층이 브리징(bridging)하도록, 제1산화막(5), 질화막(6), 제2산화막(7), 특히 질화막(6)의 막두께가 설정되어 있을 필요가 있다. 도전층(12) 형성후, 상기 이외의 영역에 남은 미반응의 고용점금속을 제거하면, 도 1에 나타난

메모리셀 구조가 완성된다.

한편, 도시는 하지 않았지만, 도 1의 메모리셀 구조 완성후, 층간절연막 형성공정, 콘택트홀(contact hole) 형성공정, 배선형성공정, 패시베이션막 형성공정 등의 통상의 CMOS 제조공정을 순차 거쳐 최종적인 불휘발성 메모리셀이 완성된다.

본 발명의 제1실시형태에 따르면, 전하축적층(4)의 상부에도 제2게이트전극(8)이 설치되므로, 임계치전압의 제어성이 향상된다. 한편, 본 발명의 제1실시형태에서는, 메모리셀을 n형 MOS 트랜지스터로 구성하는 경우에 대해 설명했지만, P형 MOS 트랜지스터로 구성하는 경우라도 마찬가지로 효과가 얻어진다. 또, 메모리셀은 LDD구조를 갖추고 있지만, 싱글 드레인구조, 더블 드레인구조라도 상관없다.

제2실시형태

다음에는 본 발명의 제2실시형태를 설명한다. 도 4는 본 발명의 제2실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도이다. 이 메모리셀은 n형 MOS 트랜지스터로 구성된다. 본 발명의 제2실시형태에 따른 불휘발성 메모리의 메모리셀 구조에서는, p형 반도체기판(1)의 표면에 제1게이트절연막(13)을 매개해서 제2게이트절연막(14)이 설치된다. 그리고, 제2게이트절연막(14)의 양단에는 전하축적층(4a,4b)이 형성된다. 제2게이트절연막(14) 및 전하축적층(4a,4b)상에는 제3게이트절연막(15)을 매개해서 게이트전극(3)이 설치된다. 게이트전극(3)의 측면에는 산화막(16)을 매개해서 측벽스페이서(9)가 설치되고, 이 측벽스페이서(9)의 하부의 p형 반도체기판(1)에는 채널영역에 접하는 저불순물농도의 n⁻형 확산층(10)과, 이 n⁻형 확산층(10)의 외측에 위치하는 고불순물농도의 n⁺형 확산층(11)이 설치된다. 게이트전극(3) 및 n⁺형 확산층(11) 각각의 표면에는 도전층(12)이 설치된다.

본 발명의 제2실시형태에 따른 불휘발성 반도체 메모리의 메모리셀은, 소스영역 및 드레인영역을 저불순물농도의 n⁻형 확산층(10)과 고불순물농도의 n⁺형 확산층(11)으로 구성된 LDD구조를 갖추고 있다. 그리고, 게이트절연막이 제1게이트절연막(13; 하층), 제2게이트절연막(14; 중간층) 및 제3게이트절연막(15; 상층)으로 이루어진 3층 적층막으로 구성되고, 제2게이트절연막(14)의 양단부에는 전하축적층(4a,4b)이 형성된다. 이 2개의 전하축적층(4a,4b)에 전자를 축적하고, 그 축적상태는 (1) 전하축적층(4a,4b)이 모두 전자를 축적하고 있지 않은 상태, (2) 전하축적층(4a)만이 전자를 축적하고 있는 상태, (3) 전하축적층(4b)만이 전자를 축적하고 있는 상태, (4) 전하축적층(4a,4b)이 모두 전자를 축적하고 있는 상태의 4가지의 상태를 취할 수 있다. 이 2개의 전하축적층(4a,4b)에 유지된 전자의 유무에 따라 생기는 임계치전압의 변화분을 기억정보의 "00", "01", "10", "11"에 대응시킨다. 또, 이 메모리셀 구조에서는 전하축적층(4a,4b)은 채널영역 단부의 위쪽에 위치하므로, 채널영역 중앙부의 임계치전압은 채널영역의 불순물농도만으로 결정되고, 전하축적층(4a,4b)의 전자의 축적상태에 의존하지 않는다. 따라서, 전하축적층(4a,4b)의 전자의 과부족에 의한 과소거(over-erase)는 방지되고, 그에 따라 과소거에 기인하는 누설불량, 프로그램불량, 독출불량 등이 생길 수 없다. 또, 소스영역과 드레인영역간의 누설전류는 게이트전압만으로 억제할 수 있어 고신뢰성의 불휘발성 반도체 메모리를 실현할 수 있다. 전하축적층(4a,4b)은 CVD법에 의한 전하축적능력이 높은 실리콘질화막으로 구성하면 좋다. 실리콘질화막의 이산적인 전하포획준위에 전자를 축적함으로써, 하부 절연막의 막질에 영향을 받기 어려운 전하유지특성을 얻을 수 있기 때문이다. 또, 실리콘막, 다결정실리콘막으로 구성하면 저가로 제조할 수 있다. 더욱이, 제1게이트절연막(13), 제3게이트절연막(15)을 실리콘산화막(SiO₂막)의 2배 정도의 유전율을 갖는 실리콘질화막(Si₃N₄막)으로 구성하면, 실리콘산화막 환산 막두께가 4nm~11nm 정도의 대단히 얇은 게이트절연막을 안정하게 실현할 수 있다. 예컨대 실리콘산화막 환산 막두께가 5nm의 실리콘질화막의 실질 막두께는 10nm 정도이므로, 직접터널(DT)주입도 유지되지 않는다. 따라서, 전자의 주입·추출동작시의 전압이 저전압화되어 메모리셀의 미세화뿐만 아니라 주변 고전압 동작소자의 미세화도 가능하게 된다.

본 발명의 제2실시형태에 따른 불휘발성 반도체 메모리의 메모리셀에서는, 소스영역 및 드레인영역의 내압향상의 목적으로 n⁻형 확산층(10)을 설치하여 LDD구조를 구성하고 있지만, 싱글 드레인구조, 더블 드레인구조로 소스영역 및 드레인영역을 구성해도 좋다. 제2게이트절연막(14)은 전하축적층 4a-4b간의 누설을 방지하는 바, 예컨대 실리콘산화막으로 구성할 수 있다. 또, 제2게이트절연막(14)에 고유전율을 갖는 금속산화막을 이용하면, 채널영역 중앙의 전류전달특성을 향상시킬 수 있다. 금속산화막으로서는, 예컨대 TiO₂, Ta₂O₅, Al₂O₅, PZT, SBT가 있다.

다음에는 본 발명의 제2실시형태에 따른 불휘발성 메모리의 동작에 대해 도 5a 및 도 5b를 참조하여 설명한다. 도 5a는 기록동작을 설명하는 불휘발성 메모리의 단면도이다. 도 5b는 소거동작을 설명하는 불휘발성 메모리의 단면도이다. 도 5a에 나타난 바와 같이, 메모리셀의 기록시에는, 게이트(G)에 7~8V 정도, 드레인(D)에 5V 정도를 각각 인가하고, 소스(S)를 접지한다. 이와 같이 전압을 인가하고, 채널열전자(CHE)로 전자를 드레인영역측의 전하축적층(4b)에 주입한다. 소스영역측의 전하축적층(4a)에 전자를 주입하는 경우에는, 드레인(D), 소스(S) 각각에 인가하는 전압을 상기의 경우와 교체하면 좋다. 한편, 메모리셀의 소거는 도 5b에 나타난 바와 같이 게이트(G)에 부전압(~-5V)을 인가하고, 파울러 노드하임(FN)형 터널전류를 이용하여 전하축적층(4a,4b)으로부터 전자를 방출함으로써 행해진다. 또, 게이트전극(3)이 복수의 메모리셀에서 공유되고 있는 경우에는, 이들 메모리셀로부터 동시에 전자를 방출할 수 있다. 이 경우, 소스(S), 드레인(D)은 p형 반도체기판(1)과 동전위로 하면 좋다. 또, p형 반도체기판(1)의 전위와는 다른 정전압을 드레인(D)에 인가하고, 소스(S)를 부유전위(Floating)로 하면, 드레인(D)측의 전하축적층(4b)만으로부터 전자를 방출하는 것도 가능하다. 소스(S)측의 전하축적층(4a)만으로부터 전자를 방출하는 경우에는, 소스(S)에 정전압을 인가하고, 드레인(D)을 부유전위로 하면 좋다.

메모리셀의 기록은, 메모리셀의 소거와 마찬가지로, FN전류를 이용하여 행할 수도 있다. 게이트(G)와 p형 반도체기판(1) 사이에 10V 정도를 인가하고, FN전류로 전자를 전하축적층(4a,4b)에 주입한다. 이 경우, 게이트(G)가 공용하는 복수의 메모리셀에는 동시에 전자를 주입할 수 있다.

또, 도시는 하지 않았지만, 메모리셀의 독출은 소스(S)와 드레인(D) 사이를 흐르는 독출전류를 검지함으로써

행해진다. 전하축적층(4a,4b)의 축적상태에 따라 소스영역, 드레인영역 근방의 전류전달특성(채널 콘덕턴스)이 변조되는 것을 이용하는 것이다. 소스(S), 드레인(D)의 어느 쪽에 바이어스하는가는 전류전달특성의 변조가 현저하게 나타나는 쪽을 선택하면 좋다. 전하축적층(4a,4b)의 4가지의 축적상태에 따라 4개의 다른 전류전달특성이 얻어지고, 그에 따라 1개의 셀에서 2비트분의 정보를 기억할 수 있다.

다음에는 본 발명의 제2실시형태에 따른 불휘발성 반도체 메모리의 메모리셀의 제조방법을 도 6a 내지 도 6g를 참조하여 설명한다. 먼저, 도 6a에 나타난 바와 같이, p형 반도체기판(1) 전면에 전하축적능력이 작은 실리콘질화막을 퇴적하여 10nm 정도의 제1게이트절연막(13)을 형성한다. 전하축적능력이 작은 실리콘질화막의 퇴적은 예컨대 JVD(Jet-Vapor-Deposition)법으로 행한다. JVD법에 대해서는, 예컨대 참고문헌 「T. P. Ma, IEEE Transactions on Electron Devices, Volume 45 Number 3, March 1998 p.680」에 기재되어 있다. 제1게이트절연막(13) 형성후, CVD법에 의해 실리콘산화막을 퇴적하여 5~10nm 정도의 제2게이트절연막(14)을 형성한다. 이어서, JVD법에 의해 전하축적능력이 작은 실리콘질화막을 퇴적하여 10nm 정도의 제3게이트절연막(15)을 형성한다.

다음에, 도 6b에 나타난 바와 같이, p형 반도체기판(1) 전면에 LPCVD법에 의해 n형 또는 p형 불순물을 도포한 50~250nm 정도의 다결정실리콘막을 퇴적한 후, 노광기술 및 에칭기술에 의해 패터닝하여 게이트전극(3)을 형성한다. 이어서, 게이트전극(3)을 마스크로 하여 소스영역 및 드레인영역을 형성하는 영역의 p형 반도체기판(1)의 표면의 제1게이트절연막(13), 제2게이트절연막(14) 및 제3게이트절연막(15)을 자기정합적으로 드라이 에칭(dry etching: 건식 에칭)한다.

다음에, 도 6c에 나타난 바와 같이, 전하축적층 형성을 위한 공간(17)을 형성한다. 이 공간(17)은 제1게이트절연막(13) 및 제3게이트절연막(15)보다도 제2게이트절연막(14)의 에칭속도가 큰 에칭액을 이용하여 제2게이트절연막(14)의 단부를 선택적으로 웨트 에칭(wet etching: 습식 에칭)함으로써 형성한다. 본 발명의 제2 실시형태에서는, 제1게이트절연막(13) 및 제3게이트절연막(15)을 실리콘질화막으로 구성하고, 제2게이트절연막(14)을 실리콘산화막으로 구성하고 있으므로, 에칭액으로서는 예컨대 불산계를 이용하면 좋다. 또, 전하축적층 형성을 위한 공간(17)은, 에칭액을 이용한 웨트 에칭법 대신에 HF가스를 함유한 가스를 이용한 플라즈마 드라이 에칭법으로 형성해도 좋다.

다음에, 도 6d에 나타난 바와 같이, p형 반도체기판(1) 전면에 LPCVD법에 의해 전하축적능력이 높은 실리콘질화막(18)을 전하축적층 형성을 위한 공간(17)이 완전히 매립되도록 퇴적한다. 그리고, 도 6e에 나타난 바와 같이, p형 반도체기판(1) 전면에 대해 RIE에 의한 이방성 에칭을 행하여 전하축적능력이 높은 실리콘질화막으로 구성된 전하축적층(4a,4b)을 형성한다.

다음에, 도 6f에 나타난 바와 같이, p형 반도체기판(1) 전면에 산화막(16)을 형성한 후, 저불순물농도의 n⁺형 확산층(10)을 형성한다. n⁺형 확산층(10)은 이온주입기술에 의해 게이트전극(3)을 마스크로 하여 n형 불순물을 주입하고, 그 후의 열처리에 의해 주입한 불순물을 활성화함으로써 형성한다.

다음에, 도 6g에 나타난 바와 같이, 게이트전극(3)의 측벽에 측벽 스페이서(9)를 형성한 후, 고불순물농도의 n⁺형 확산층(11)을 형성한다. n⁺형 확산층(11)은 이온주입기술에 의해 게이트전극(3) 및 측벽 스페이서(9)를 마스크로 하여 n형 불순물을 주입하고, 그 후의 열처리에 의해 주입한 불순물을 활성화함으로써 형성한다.

다음에, p형 반도체기판(1)의 전면에 CVD법 또는 스퍼터법에 의해 텅스텐, 티탄, 코발트 등의 고용점금속막을 퇴적하고, 이어서 p형 반도체기판(1)을 불활성 분위기중에서 열처리함으로써 게이트전극(3) 및 n⁺형 확산층(11) 각각의 표면에 고용점금속실리사이드로 구성되는 도전층(12)을 형성한다. 도전층(12) 형성후, 상기 이외의 영역에 남은 미반응의 고용점금속을 제거하면, 도 4에 나타난 메모리셀 구조가 완성된다.

한편, 도시는 하지 않았지만, 도 4의 메모리셀 구조 완성후, 층간절연막 형성공정, 콘택트를 형성공정, 배선 형성공정, 패시베이션막 형성공정 등의 통상의 CMOS 제조공정을 순차 거쳐 최종적인 불휘발성 메모리셀이 완성된다.

이와 같이 본 발명의 제2실시형태에서는, 전하축적층(4a,4b)을 게이트전극(3)의 양단의 아래쪽에 자기정합적으로 형성할 수 있다. 따라서, 셀 트랜지스터의 게이트길이 방향의 미세화가 가능하게 된다. 그에 따라, 대용량, 고밀도의 불휘발성 반도체 메모리를 제공할 수 있다. 또, 비트당의 셀면적은 종래와 비교하여 거의 반감되어 대폭적으로 축소된 불휘발성 반도체 메모리를 실현할 수 있다.

또, 전하축적층(4a,4b)의 채널길이 방향의 폭은 제1게이트절연막(13) 및 제3게이트절연막(15)과 제2게이트절연막(14)의 에칭속도차 및 에칭시간의 조절에 의해 용이하게 제어할 수 있다. 그에 따라, 전하축적층(4a,4b)을 대칭으로 배치할 수 있다. 그리고, 전하축적층(4a,4b)은 제2게이트절연막(14)에 의해 전기적으로 완전히 분리되므로, 전하축적층(4a,4b)간의 상호작용은 일어나지 않는다. 더욱이, 전하축적층(4a,4b)은 소스영역, 드레인영역, 게이트전극(3) 및 채널영역으로부터, 제1절연막(13), 제3절연막(15) 및 산화막(16)에 의해 완전히 절연되므로, 전하유지특성이 우수한 불휘발성 반도체 메모리를 제공할 수 있다. 전하축적층(4a,4b)은 게이트전극(3)의 단부로부터 채널영역 방향으로 연장하여 형성되고, 전하축적층(4a,4b) 중의 채널영역측의 부분의 전하축적상태에 따라 메모리셀의 전류전달특성을 거의 결정한다. 따라서, 이 부분의 게이트길이 방향의 길이를 한계까지 축소하면, 보다 미세한 불휘발성 반도체 메모리를 제공할 수 있다.

더욱이, 셀구조는 통상의 CMOS공정으로 용이하게 실현가능하므로, 기존의 제조라인을 사용하여 저비용으로 불휘발성 반도체 메모리를 제조할 수 있다.

제3실시형태

다음에는 본 발명의 제3실시형태를 설명한다. 본 발명의 제3실시형태는, 도 4에 나타난 제2실시형태에 있어서, 제1게이트절연막(13)을 실리콘산화막, 제2게이트절연막(14)을 실리콘질화막, 제3게이트절연막(15)을 실리콘산화막으로 치환한 것이다. 이하, 본 발명의 제3실시형태에 따른 불휘발성 반도체 메모리의 메모리셀의

제조방법을, 도 6a 내지 도 6c를 참조하여 설명한다.

본 발명의 제3실시형태에 따른 불휘발성 반도체 메모리의 메모리셀은, 먼저 p형 반도체기판(1)을 열산화하여 10nm 정도의 제1게이트절연막(13)을 형성한다. 제1게이트절연막(13) 형성후, JVD법에 의한 전하축적능력이 낮은 실리콘질화막을 퇴적하여 5~10nm 정도의 제2게이트절연막(14)을 형성한다. 이어서, CVD법에 의해 실리콘산화막을 퇴적하여 10nm 정도의 제3게이트절연막(15)을 형성한다(도 6a 참조).

다음에, p형 반도체기판(1) 전면에 LPCVD법에 의해 n형 또는 p형 불순물을 도포한 50~250nm 정도의 다결정실리콘막을 퇴적한 후, 노광기술 및 에칭기술에 의해 패터닝하여 게이트전극(3)을 형성한다. 이어서, 게이트전극(3)을 마스크로 하여 소스영역 및 드레인영역을 형성하는 영역의 p형 반도체기판(1)의 표면의 제1게이트절연막(13), 제2게이트절연막(14) 및 제3게이트절연막(15)을 자기정합적으로 드라이 에칭한다(도 6b 참조).

다음에, p형 반도체기판(1)을 열산화하여 p형 반도체기판(1) 전면에 얇은 실리콘산화막을 형성한다. 그 후, 전하축적층 형성을 위한 공간(17)을 형성한다. 이 전하축적층 형성을 위한 공간(17)은 제1게이트절연막(13) 및 제3게이트절연막(15)보다도 제2게이트절연막(14)의 에칭속도가 큰 에칭액을 이용하여 제2게이트절연막(14)의 단부를 선택적으로 웨트 에칭함으로써 형성한다. 본 발명의 제3실시형태에서는, 제1게이트절연막(13) 및 제3게이트절연막(15)을 실리콘산화막으로 구성하고, 제2게이트절연막(14)을 실리콘질화막으로 구성하고 있으므로, 에칭액으로서는 에컨대 인산계를 이용하면 좋다. 실리콘질화막(14)은 열산화처리에 의해서는 거의 산화되지 않으므로, 제2게이트절연막의 측면에는 산화막은 형성되지 않고, 이 때문에 에칭의 선택성이 향상된다(도 6c 참조). 또, 전하축적층 형성을 위한 공간(17)은, 에칭액을 이용한 웨트 에칭법 대신에 CF_4 가스를 함유한 가스를 이용한 플라즈마 드라이 에칭법으로 형성해도 좋다. 그 후의 공정은 제2실시형태와 동일하다.

제4실시형태

다음에는 본 발명의 제4실시형태를 설명한다. 도 7은 본 발명의 제4실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도이다. 본 발명의 제4실시형태는, 메모리셀을 p형 MOS 트랜지스터로 구성한 예이다. 도 7에 나타난 바와 같이, 본 발명의 제4실시형태에 따른 불휘발성 메모리의 메모리셀 구조에서는, n형 반도체기판(19)의 표면에 제1게이트절연막(13)을 매개해서 제2게이트절연막(14)이 설치된다. 그리고, 제2게이트절연막(14)의 양단에는 전하축적층(4a, 4b)이 형성된다. 제2게이트절연막(14) 및 전하축적층(4a, 4b)상에는 제3게이트절연막(15)을 매개해서 게이트전극(3)이 설치된다. 게이트전극(3)의 측면에는 산화막(16)을 매개해서 측벽 스페이서(9)가 설치되고, 이 측벽 스페이서(9)의 하부의 n형 반도체기판(19)에는 채널영역에 접하는 저불순물농도의 p⁻형 확산층(20)과, 이 p⁻형 확산층(20)의 외측에 위치하는 고불순물농도의 p⁺형 확산층(21)이 설치된다. 게이트전극(3) 및 p⁺형 확산층(21) 각각의 표면에는 도전층(12)이 설치된다.

다음에는 본 발명의 제4실시형태에 따른 불휘발성 메모리의 동작에 대해 도 8a 및 도 8b를 참조하여 설명한다. 도 8a는 기록동작을 설명하는 불휘발성 메모리의 단면도이다. 도 8b는 소거동작을 설명하는 불휘발성 메모리의 단면도이다. 도 8a에 나타난 바와 같이, 메모리셀의 기록시에는, 게이트(G)에 5V 정도, 드레인(D)에 -5V 정도를 각각 인가하고, 소스(S)를 부유전위로 한다. 이와 같이 전압을 인가하고, 밴드간 터널형상 기인의 전자에 드레인영역 근방의 전계로 에너지를 공급하여 드레인영역측의 전하축적층(4b)으로 전자를 주입한다. 소스영역측의 전하축적층(4a)에 전자를 주입하는 경우에는, 드레인(D), 소스(S) 각각에 인가하는 전압을 상기와 바꾸면 좋다. 한편, 메모리셀의 소거는 도 8b에 나타난 바와 같이 게이트(G)에 부전압(~-5V)을 인가하고, FN전류를 이용하여 전하축적층(4a, 4b)으로부터 전자를 방출함으로써 행해진다. 또, 게이트(G)가 복수의 메모리셀에서 공유되고 있는 경우에는, 그들 메모리셀로부터 동시에 전자를 방출할 수 있다. 이 경우, 소스(S) 및 드레인(D)은 n형 반도체기판(19)과 동전위 혹은 부유전위로 한다.

메모리셀의 기록은, 본 발명의 제2실시형태의 경우와 같이 채널열전자를 이용하여 행하는 것이 가능하다. 이 경우, 게이트(G)에 -2.5V 정도, 드레인(D)에 -5V 정도를 각각 인가하고, 소스(S)를 접지한다. 이와 같이 전압을 인가하고, 채널열전자로 전자를 드레인영역측의 전하축적층(4b)으로 주입한다. 한편, 소스영역측의 전하축적층(4a)에 전자를 주입하는 경우에는, 드레인(D), 소스(S) 각각에 인가하는 전압을 교체하면 좋다.

또, 도시는 하지 않았지만, 메모리셀의 독출은 소스(S)와 드레인(D) 사이를 흐르는 독출전류를 검지함으로써 행해진다. 전하축적층(4a, 4b)의 축적상태에 따라 소스영역, 드레인영역 근방의 전류전달특성(채널 콘덕턴스)이 변조되는 것을 이용하는 것이다. 소스(S), 드레인(D)의 어느 쪽에 바이어스하는가는 전류전달특성의 변조가 현저하게 나타나는 쪽을 선택하면 좋다. 전하축적층(4a, 4b)의 4가지의 축적상태에 따라 4개의 다른 전류전달특성이 얻어지고, 그에 따라 1개의 셀에서 2비트분의 정보를 기억할 수 있다.

제5실시형태

다음에는 본 발명의 제5실시형태를 설명한다. 일반적으로, 반도체 메모리에서는, 메모리셀 어레이 주변에 주변회로를 배치한다. 예컨대, 그 주변회로로서는 디코더, 기록/소거회로, 독출회로, 아날로그회로, 각종의 I/O회로, 각종의 캐패시터회로 등이 있다. 본 발명의 제5실시형태에서는, 이들 주변회로를 구성하는 MOS 트랜지스터를 제2~제4실시형태의 메모리셀 트랜지스터의 제조공정을 이용하여 동시에 제조하는 예를 나타낸 것이다. 도 9는 본 발명의 제5실시형태에 따른 불휘발성 반도체 메모리의 주변회로를 구성하는 MOS 트랜지스터의 구조를 나타낸 단면도이다. 도 9에 나타난 바와 같이, 본 발명의 제5실시형태에 따르면, 메모리셀 트랜지스터(메모리셀 Tr) 이외에 게이트절연막이 다른 7종류의 MOS 트랜지스터(Tr1~Tr7)를 실현할 수 있다. 여기서, 도 9의 메모리셀 트랜지스터는 도 4에 나타난 메모리셀 트랜지스터이다. 또, MOS 트랜지스터(Tr1~Tr7)는 모두 n형 MOS 트랜지스터를 나타내고 있다. 메모리셀 트랜지스터의 n⁻형 확산층(10) 및 n⁺형 확산층(11), 도전층(12)은 도면을 보기 쉽게 하기 위해 생략하고 있다. MOS 트랜지스터(Tr1~Tr7)에 대해서도 마찬가지이다.

다음에는 도 9에 나타난 MOS 트랜지스터의 제조방법을 도 10a 내지 도 10g를 참조하여 설명한다. 먼저, 도 10a에 나타난 바와 같이, p형 반도체기판(1)의 전면에 JVD법에 의해 전하축적능력이 작은 실리콘질화막을 퇴적하여 10nm 정도의 제1게이트절연막(13)을 형성한다. 제1게이트절연막(13) 형성후, 주지의 노광기술 및 드라이 에칭기술에 의해 p형 반도체기판(1)상의 일부의 영역의 제1게이트절연막(13)을 제거한다. 그리고 도 10b에 나타난 바와 같이, CVD법에 의해 실리콘산화막을 퇴적하여 5~10nm 정도의 제2게이트절연막(14)을 형성한다. 제2게이트절연막(14) 형성후, 노광기술 및 드라이 에칭기술에 의해 일부의 영역의 제2게이트절연막(14)을 제거한다. 이어서 도 10c에 나타난 바와 같이, JVD법에 의해 전하축적능력이 작은 실리콘질화막을 퇴적하여 10nm 정도의 제3게이트절연막(15)을 형성한다. 제3게이트절연막(15) 형성후, 노광기술 및 드라이 에칭기술에 의해 일부의 영역의 제3게이트절연막(15)을 제거한다. 이와 같이 하여, 제1게이트절연막(13), 제2게이트절연막(14) 및 제3게이트절연막(15) 중의 적어도 1개로 구성되는 7종류의 게이트절연막이 실현된다.

다음에, 도 10d에 나타난 바와 같이, p형 반도체기판(1) 전면에 LPCVD법에 의해 n형 또는 p형 불순물을 도포한 50~250nm 정도의 다결정실리콘막을 퇴적한 후, 노광기술 및 에칭기술에 의해 패터닝하여 복수의 게이트전극(3)을 형성한다. 더욱이, 게이트전극(3)을 마스크로 하여 드라이 에칭에 의해 메모리셀 트랜지스터, MOS 트랜지스터 각각의 소스영역 및 드레인영역을 형성하는 영역의 p형 반도체기판(1)의 표면의 제1게이트절연막(13), 제2게이트절연막(14) 및 제3게이트절연막(15)을 제거한다.

다음에, 도 10e에 나타난 바와 같이, MOS 트랜지스터($Tr1 \sim Tr7$)를 형성하는 영역을 포토레지스트로 피복하고, 메모리셀 트랜지스터를 형성하는 영역을 웨트 에칭한다. 에칭액은 제1게이트절연막(13) 및 제3게이트절연막(15)보다도 제2게이트절연막(14)의 에칭속도가 큰 것을 이용한다. 이 웨트 에칭에 의해 메모리셀 트랜지스터를 형성하는 영역의 제2게이트절연막(14)의 단부를 선택적으로 에칭하여 전하축적층 형성을 위한 공간(17)을 형성한다. 본 발명의 제5실시형태에서는, 제1게이트절연막(13) 및 제3게이트절연막(15)을 실리콘 질화막으로 구성하고, 제2게이트절연막(14)을 실리콘산화막으로 구성하고 있으므로, 에칭액으로서는 에텐 디불산계를 이용하면 좋다. 그리고, 도 10f에 나타난 바와 같이, p형 반도체기판(1) 전면에 LPCVD법에 의해 전하축적능력이 높은 실리콘질화막(18)을 전하축적층 형성을 위한 공간(17)이 완전히 매립되도록 퇴적한다. 이어서, 도 10g에 나타난 바와 같이, p형 반도체기판(1) 전면에 대해 RIE에 의한 이방성 에칭을 행하여 메모리셀 트랜지스터를 형성하는 영역에 전하축적능력이 높은 실리콘질화막으로 구성된 전하축적층(4a, 4b)을 형성한다. 그 후의 공정은 본 발명의 제2실시형태와 동일하다.

본 발명의 제5실시형태에 따르면, 막두께가 다른 게이트절연막을 갖는 7종류의 MOS 트랜지스터($Tr1 \sim Tr7$)를 메모리셀 트랜지스터와 동시에 제조할 수 있다. 그에 따라, 고전압 동작의 고내압 트랜지스터로부터 극저전압 동작 트랜지스터까지 다양한 동작전압에 대응한 MOS 트랜지스터를 제공할 수 있다. 더욱이, n형 MOS 트랜지스터, p형 MOS 트랜지스터 모두 실현할 수 있다. 또, 메모리셀 트랜지스터 및 MOS 트랜지스터($Tr1 \sim Tr7$)의 게이트전극(3)은 동일 재료로 구성되고, 동일한 노광공정 및 드라이 에칭공정으로 형성된다. 따라서, 포토마스크의 위치어긋남이 적은 미세한 트랜지스터를 제공할 수 있다.

제6실시형태

다음에는 본 발명의 제6실시형태에 대해 설명한다. 이 제6실시형태는, 전기적으로 기록·소거가 가능한 불휘발성 메모리 및 고속으로 기록·독출가능한 휘발성 메모리를 동일한 칩상에 실현하는 예를 나타낸 것이다. 도 11a는 본 발명의 제6실시형태에 따른 반도체기판장치에 탑재된 불휘발성 메모리의 메모리셀 구조를 나타낸 단면도, 도 11b는 본 발명의 제6실시형태에 따른 반도체기판장치에 탑재된 휘발성 메모리의 메모리셀 구조를 나타낸 단면도이다. 도 11a의 불휘발성 메모리와 도 11b의 휘발성 메모리는 동일 칩상에 혼재되는 것이다.

(A) 불휘발성 메모리

도 11a에 나타난 바와 같이, 이 제6실시형태에 따른 불휘발성 메모리의 메모리셀은 n형 MOS 트랜지스터로 구성된다. 그리고, 이 불휘발성 메모리의 메모리셀 구조에서는, p형 반도체기판(1)의 표면에 제1게이트절연막(13)을 매개해서 제2게이트절연막(14)이 설치된다. 제2게이트절연막(14)의 양단에는 전하축적층(4; 4a, 4b)이 형성된다. 제2게이트절연막(14) 및 전하축적층(4)상에는 제3게이트절연막(15)을 매개해서 게이트전극(3)이 설치된다. 게이트전극(3)의 측면에는 산화막(16)을 매개해서 측벽 스페이서(9)가 설치되고, 이 측벽 스페이서(9)의 하부의 p형 반도체기판(1)의 주면에는 채널영역에 접하는 저불순물농도의 n⁺형 확산층(10)과, 이 n⁺형 확산층(10)의 외측에 위치하는 고불순물농도의 n⁺형 확산층(11)이 설치된다. 게이트전극(3) 및 n⁺형 확산층(11) 각각의 표면에는 도전층(12)이 설치된다.

본 발명의 제6실시형태에 따른 불휘발성 메모리의 메모리셀은, 소스영역 및 드레인영역을 저불순물농도의 n⁺형 확산층(10)과 고불순물농도의 n⁺형 확산층(11)으로 구성된 LDD구조를 갖추고 있다. 그리고, 게이트절연막이 제1게이트절연막(13; 하층), 제2게이트절연막(14; 중간층) 및 제3게이트절연막(15; 상층)으로 이루어진 3층 적층막으로 구성되고, 제2게이트절연막(14)의 양단부에는 전하축적층(4; 4a, 4b)이 형성된다. 이 2개의 전하축적층(4a, 4b)에 전자를 축적하고, 그 축적상태는 (1) 전하축적층(4a, 4b)이 모두 전자를 축적하고 있지 않은 상태, (2) 전하축적층(4a)만이 전자를 축적하고 있는 상태, (3) 전하축적층(4b)만이 전자를 축적하고 있는 상태, (4) 전하축적층(4a, 4b)이 모두 전자를 축적하고 있는 상태의 4가지의 상태를 취할 수 있다. 이 2개의 전하축적층(4a, 4b)에 유지된 전자의 유무에 따라 생기는 임계치전압의 변화분을 기억정보의 "00", "01", "10", "11"에 대응시킨다. 또, 이 메모리셀 구조에서는 전하축적층(4)은 채널영역 단부의 위쪽에 위치하므로, 채널영역 중앙부의 임계치전압은 채널영역의 불순물농도만으로 결정되고, 전하축적층(4)의 전자의 축적상태에 의존하지 않는다. 따라서, 전하축적층(4)의 전자의 과부족에 의한 과소거(over-erase)는 방지되고, 그에 따라 과소거에 기인하는 누설불량, 프로그램불량, 독출불량 등이 생길 수 없다. 또, 소스영역과 드레인영역간의 누설전류는 게이트전압만으로 억제할 수 있어 고신뢰성의 불휘발성 메모리를 실현할 수 있다. 전하축적층(4)은 CVD법에 의한 전하축적능력이 높은 실리콘질화막으로 구성하면 좋다. 실리콘질화막의 이

산적인 전하포획준위에 전자를 축적함으로써, 하루 절연막의 막질에 영향을 받기 어려운 전하유지특성을 얻을 수 있기 때문이다. 또, 실리콘막, 다결정실리콘막으로 구성하면 저가로 제조할 수 있다. 더욱이, 제1게이트절연막(13), 제3게이트절연막(15)을 실리콘산화막(SiO_2 막)의 2배 정도의 유전률을 갖는 실리콘질화막(Si_3N_4 막)으로 구성하면, 실리콘산화막 환산 막두께가 4nm~11nm 정도의 대단히 얇은 게이트절연막을 안정하게 실현할 수 있다. 예컨대 실리콘산화막 환산 막두께가 5nm의 실리콘질화막의 실질막두께는 10nm 정도이므로, 직접터널(DT)주입도 유기되지 않는다. 따라서, 전자의 주입·추출동작시의 전압이 저전압화되어 메모리셀의 미세화뿐만 아니라 주변 고전압 동작소자의 미세화도 가능하게 된다.

본 발명의 제6실시형태에 따른 불휘발성 메모리의 메모리셀에서는, 소스영역 및 드레인영역의 내압 향상의 목적으로 n⁻형 확산층(10)을 설치하여 LDD구조를 구성하고 있지만, 싱글 드레인구조, 더블 드레인구조로 소스영역 및 드레인영역을 구성해도 좋다. 제2게이트절연막(14)은 전하축적층 4a-4b간의 누설을 방지하는 바, 예컨대 실리콘산화막으로 구성할 수 있다. 또, 제2게이트절연막(14)에 고유전률을 갖는 금속산화막을 이용하면, 채널영역 중앙의 전류전달특성을 향상시킬 수 있다. 금속산화막으로서는, 예컨대 TiO_2 , Ta_2O_5 , Al_2O_5 , PZT, SBT가 있다.

다음에는 본 발명의 제6실시형태에 따른 불휘발성 반도체 메모리의 동작에 대해 도 12a 및 도 12b를 참조하여 설명한다. 도 12a는 기록동작을 설명하는 불휘발성 메모리의 단면도이다. 도 12b는 소거동작을 설명하는 불휘발성 메모리의 단면도이다. 도 12a에 나타난 바와 같이, 메모리셀의 기록시에는, 게이트(G)에 7~8V 정도, 드레인(D)에 5V 정도를 각각 인가하고, 소스(S)를 접지한다. 이와 같이 전압을 인가하고, 채널열전자(CHE)로 전자를 드레인영역측의 전하축적층(4b)에 주입한다. 소스영역측의 전하축적층(4a)에 전자를 주입하는 경우에는, 드레인(D), 소스(S) 각각에 인가하는 전압을 상기와 바꾸면 좋다. 한편, 메모리셀의 소거는 도 12b에 나타난 바와 같이 게이트(G)에 부전압(~-5V)을 인가하고, 파울러 노드하임(FN)형 터널전류를 이용하여 전하축적층(4a,4b)으로부터 전자를 방출함으로써 행해진다. 또, 게이트(G)가 복수의 메모리셀에서 공유되고 있는 경우에는, 이들 메모리셀로부터 동시에 전자를 방출할 수 있다. 이 경우, 소스(S), 드레인(D)은 p형 반도체기판(1)과 동전위로 하면 좋다. 또, p형 반도체기판(1)의 전위와는 다른 정전압을 드레인(D)에 인가하고, 소스(S)를 부유전위로 하면, 드레인전극측의 전하축적층(4b)만으로부터 전자를 방출하는 것도 가능하다. 소스전극측의 전하축적층(4a)만으로부터 전자를 방출하는 경우에는 소스전극에 정전압을 인가하고, 드레인전극을 부유전위로 하면 좋다.

메모리셀의 기록은, 메모리셀의 소거와 마찬가지로, FN전류를 이용하여 행할 수도 있다. 게이트(G)와 p형 반도체기판(1) 사이에 10V 정도를 인가하고, FN전류로 전자를 전하축적층(4a,4b)에 주입한다. 이 경우, 게이트(G)가 공통하는 복수의 메모리셀에는 동시에 전자를 주입할 수 있다.

또, 도시는 하지 않았지만, 메모리셀의 독출은 소스(S)와 드레인(D) 사이를 흐르는 독출전류를 검지함으로써 행해진다. 전하축적층(4a,4b)의 축적상태에 따라 소스영역, 드레인영역 근방의 전류전달특성(채널 콘덕턴스)이 변조되는 것을 이용하는 것이다. 소스(S), 드레인(D)의 어느 쪽에 바이어스하는가는 전류전달특성의 변조가 현저하게 나타나는 쪽을 선택하면 좋다. 전하축적층(4a,4b)의 4가지의 축적상태에 따라 4개의 다른 전류전달특성이 얻어지고, 그에 따라 1개의 셀에서 2비트분의 정보를 기억할 수 있다.

(B) 휘발성 메모리

도 11b에 나타난 바와 같이, 본 발명의 제6실시형태에 따른 휘발성 메모리의 메모리셀은 n형 MOS 트랜지스터로 구성된다. 이 불휘발성 메모리의 메모리셀 구조에서는, p형 반도체기판(1)의 주면상에 도 11a의 제2게이트절연막(14)이 직접 배치된다. 그리고, 제2게이트절연막(14)의 양단에는, 도 11a의 불휘발성 메모리와 마찬가지로, 전하축적층(4; 4c,4d)이 형성되지만, 이들 전하축적층(4c,4d)이 터널절연막(23)을 매개해서 p형 반도체기판(1)의 주면상에 배치되는 점이 도 11a의 불휘발성 메모리와는 다르다. 제2게이트절연막(14) 및 전하축적층(4)상에는 제3게이트절연막(15)을 매개해서 게이트전극(3)이 설치된다. 게이트전극(3)의 측면에는 산화막(16)을 매개해서 측벽 스페이서(9)가 설치되고, 이 측벽 스페이서(9)의 하부의 p형 반도체기판(1)의 주면에는 채널영역에 접하는 저물순물농도의 n⁻형 확산층(10)과, 이 n⁻형 확산층(10)의 외측에 위치하는 고물순물농도의 n⁺형 확산층(11)이 설치된다. 게이트전극(3) 및 n⁺형 확산층(11) 각각의 표면에는 도전층(12)이 설치된다.

본 발명의 제6실시형태에 따른 휘발성 메모리의 메모리셀은, 소스영역 및 드레인영역을 저물순물농도의 n⁻형 확산층(10)과 고물순물농도의 n⁺형 확산층(11)으로 구성된 LDD구조를 갖추고 있다. 그리고, 게이트절연막이 제2게이트절연막(14), 터널절연막(23) 및 제3게이트절연막(15)으로 구성되고, 제2게이트절연막(14)의 양단부에는 전하축적층(4c,4d)이 형성된다. 이 2개의 전하축적층(4c,4d)에 전자를 축적하고, 그 축적상태는 (1) 전하축적층(4c,4d)이 모두 전자를 축적하고 있지 않은 상태, (2) 전하축적층(4c)만이 전자를 축적하고 있는 상태, (3) 전하축적층(4d)만이 전자를 축적하고 있는 상태, (4) 전하축적층(4c,4d)이 모두 전자를 축적하고 있는 상태의 4가지의 상태를 취할 수 있다. 이 2개의 전하축적층(4c,4d)에 유지된 전자의 유무에 따라 생기는 임계치전압의 변화분을 기억정보의 "00", "01", "10", "11"에 대응시킨다. 또, 이 메모리셀 구조에서는 전하축적층(4)은 채널영역 단부의 위쪽에 위치하므로, 채널영역 중앙부의 임계치전압은 채널영역의 물순물농도만으로 결정되고, 전하축적층(4)의 전자의 축적상태에 의존하지 않는다. 따라서, 전하축적층(4)의 전자의 과부족에 의한 과소거(over-erase)는 방지되고, 그에 따라 과소거에 기인하는 누설불량, 프로그램불량, 독출불량 등이 생길 수 없다. 또, 소스영역과 드레인영역간의 누설전류는 게이트전압만으로 억제할 수 있어 고신뢰성의 불휘발성 메모리를 실현할 수 있다. 전하축적층(4)은 CVD법에 의한 전하축적능력이 높은 실리콘질화막으로 구성하면 좋다. 실리콘질화막의 이산적인 전하포획준위에 전자를 축적함으로써, 하루 절연막의 막질에 영향을 받기 어려운 전하유지특성을 얻을 수 있기 때문이다. 또, 실리콘막, 다결정실리콘막으로 구성하면 저가로 제조할 수 있다. 더욱이, 제3게이트절연막(15)을 실리콘산화막(SiO_2 막)의 2배 정도의 유전률을 갖는 실리콘질화막(Si_3N_4 막)으로 구성하면, 실리콘산화막 환산 막두께가 4nm~11nm 정도의 대단히 얇은

게이트절연막을 안정하게 실현할 수 있다. 예컨대 실리콘산화막 환산 막두께가 5nm의 실리콘질화막의 실질 막두께는 10nm 정도이므로, 직접터널(DT)주입도 유기되지 않는다. 따라서, 전자의 주입·추출동작시의 전압이 저전압화되어 메모리셀의 미세화뿐만 아니라 주변 고전압 동작소자의 미세화도 가능하게 된다.

본 발명의 제6실시형태에 따른 휘발성 메모리의 메모리셀에서는, 소스영역 및 드레인영역의 내압 향상의 목적으로 n⁺형 확산층(10)을 설치하여 LDD구조를 구성하고 있지만, 싱글 드레인구조, 더블 드레인구조로 소스 영역 및 드레인영역을 구성해도 좋다. 제2게이트절연막(14)은 전하축적층 4c-4d간의 누설을 방지하는 바, 예컨대 실리콘산화막으로 구성할 수 있다. 또, 제2게이트절연막(14)에 고유전율을 갖는 금속산화막을 이용하면, 채널영역 중앙의 전류전달특성을 향상시킬 수 있다. 금속산화막으로서는, 예컨대 TiO₂, Ta₂O₅, Al₂O₃, PZT, SBT가 있다.

본 발명의 제6실시형태에 따른 휘발성 메모리에서는, 전하축적층(4c,4d)의 하부에 터널절연막(23)을 배치하고 있다. 터널절연막(23)은 직접 터널링가능한 막두께를 갖는 박막의 실리콘산화막으로 구성되고, 다이내믹 RAM에 요구되는 100ns 이하에서의 고속으로 기록·독출을 가능하게 한다. 터널절연막(23)을 실리콘산화막으로 구성한 경우, 그 막두께는 3nm 이하로 하면 좋다. 또, 3nm 이하의 실리콘질화막으로 구성하면, 실리콘산화막 환산 막두께가 1.5nm 정도의 대단히 얇은 게이트절연막을 안정하게 실현할 수 있다. 터널절연막(23)을 매개하는 누설전류에 의해 전하축적층(4)에 축적된 전자는 서서히 줄어들어 가므로, 실제로는 장시간의 데이터 유지는 곤란하다. 그러나, 통상의 다이내믹 RAM으로서의 동작에는 전혀 문제없다고 생각된다. 이것은, C. H-J. Wann 등에 의해 1995 IEDM digest p.867에 나타내어져 있다.

메모리셀의 독출은, 소스전극과 드레인전극 사이를 흐르는 독출전류를 검지함으로써 행해진다. 전하축적층(4c,4d)의 축적상태에 따라 소스영역, 드레인영역 근방의 전류전달특성(채널 콘덕턴스)이 변조되는 것을 이용하는 것이다. 소스전극, 드레인전극의 어느 쪽에 바이어스하는가는 전류전달특성의 변조가 현저하게 나타나는 쪽을 선택하면 좋다. 전하축적층(4c,4d)의 4가지의 축적상태에 따라 4개의 다른 전류전달특성이 얻어지고, 그에 따라 1개의 셀에서 2비트론의 정보를 기억할 수 있다.

더욱이, 본 발명의 제6실시형태에 따른 휘발성 메모리는, 전하축적층(4c,4d)에 전하를 주입하지 않으면, 통상의 MOS 트랜지스터로서 동작시키는 것이 가능하다.

(C) 불휘발성 및 휘발성 메모리의 제조방법

다음에는 본 발명의 제6실시형태에 따른 불휘발성 메모리 및 휘발성 메모리의 메모리셀의 제조방법을 도 13a 내지 도 13i 및 도 14a 내지 도 14i를 참조하여 설명한다. 도 13a 내지 도 13i는 본 발명의 제6실시형태에 따른 불휘발성 메모리의 제조방법을 나타낸 단면도, 도 14a 내지 도 14i는 본 발명의 제6실시형태에 따른 휘발성 메모리의 제조방법을 나타낸 단면도이다.

먼저, 도 13a 및 도 14a에 나타난 바와 같이, p형 반도체기판(1) 전면에 전하축적능력이 작은 실리콘질화막을 퇴적하여 10nm 정도의 제1게이트절연막(13)을 형성한다. 제1게이트절연막(13) 형성후, 도 13a의 불휘발성 메모리 형성영역을 예컨대 포토레지스트로 피복하고, 도 14a의 휘발성 메모리 형성영역의 제1게이트절연막(13)만을 예컨대 가열인산용액을 이용한 웨트 에칭에 의해 제거한다. 따라서, 제1게이트절연막(13)은 도 13a의 불휘발성 메모리 형성영역에만 형성된다. 전하축적능력이 작은 실리콘질화막의 퇴적은, 예컨대 JVD법으로 행한다.

다음에, 도 13b 및 도 14b에 나타난 바와 같이, CVD법에 의해 실리콘산화막을 p형 반도체기판(1) 전면에 퇴적하여 5~10nm 정도의 제2게이트절연막(14)을 형성한다. 이어서, JVD법에 의해 전하축적능력이 작은 실리콘질화막을 퇴적하여 10nm 정도의 제3게이트절연막(15)을 형성한다. 결국, 도 13b의 불휘발성 메모리 형성영역에는 제1, 제2 및 제3게이트절연막(13,14,15)이 형성되고, 도 14b의 휘발성 메모리 형성영역에는 제2 및 제3게이트절연막(14,15)이 형성된다.

다음에, 도 13c 및 도 14c에 나타난 바와 같이, p형 반도체기판(1) 전면에 LPCVD법에 의해 n형 또는 p형 불순물을 도포한 50~250nm 정도의 다결정실리콘막을 퇴적한 후, 노광기술 및 에칭기술에 의해 패터닝하여 게이트전극(3)을 형성한다. 이어서, 게이트전극(3)을 마스크로 하여, 도 13c의 불휘발성 메모리 형성영역에서는 소스영역 및 드레인영역을 형성하는 영역의 p형 반도체기판(1)의 표면의 제1게이트절연막(13), 제2게이트절연막(14) 및 제3게이트절연막(15)을 자기정합적으로 드라이 에칭한다. 한편, 도 14c의 휘발성 메모리 형성영역에서는, 제2게이트절연막(14) 및 제3게이트절연막(15)을 자기정합적으로 드라이 에칭한다.

다음에, 도 13d 및 도 14d에 나타난 바와 같이, 전하축적층 형성을 위한 공간(17)을 형성한다. 이 공간(17)은, 제1게이트절연막(13) 및 제3게이트절연막(15)보다도 제2게이트절연막(14)의 에칭속도가 큰 에칭액을 이용하여 제2게이트절연막(14)의 단부를 선택적으로 웨트 에칭함으로써 형성한다. 도 13d의 불휘발성 메모리 형성영역의 전하축적층 형성을 위한 공간(17) 및 도 14d의 휘발성 메모리 형성영역의 전하축적층 형성을 위한 공간(17)은 동시에 형성된다. 본 발명의 제6실시형태에서는, 제1게이트절연막(13) 및 제3게이트절연막(15)을 실리콘질화막으로 구성하고, 제2게이트절연막(14)을 실리콘산화막으로 구성하고 있으며, 에칭액으로서는 예컨대 불산계를 이용하면 좋다. 또, 이 공간(17)은, 에칭액을 이용한 웨트 에칭법 대신에 HF가스를 함유한 가스를 이용한 플라즈마 드라이 에칭법으로 형성해도 좋다.

다음에, 도 13e 및 도 14e에 나타난 바와 같이, p형 반도체기판(1) 전면을 예컨대 RTO법에 의해 산화하여, 직접 터널가능한 실리콘산화막으로 이루어진 터널절연막(23)을 형성한다.

다음에, 도 13f 및 도 14f에 나타난 바와 같이, p형 반도체기판(1) 전면에 LPCVD법에 의해 전하축적능력이 높은 실리콘질화막(18)을 전하축적층 형성을 위한 공간(17)이 완전히 매립되도록 퇴적한다. 그리고, 도 13g 및 도 14g에 나타난 바와 같이, p형 반도체기판(1) 전면에 대해 RIE에 의한 이방성 에칭을 행하여 전하축적능력이 높은 실리콘질화막으로 구성된 전하축적층(4: 4a,4b,4c,4d)을 동시에 형성한다.

다음에, 도 13h 및 도 14h에 나타난 바와 같이, p형 반도체기판(1) 전면에 산화막(16)을 형성한 후, 저불순물

농도의 n^- 형 확산층(10)을 형성한다. n^- 형 확산층(10)은 이온주입기술에 의해 게이트전극(3)을 마스크로 하여 n^- 형 불순물을 주입하고, 그 후의 열처리에 의해 주입한 불순물을 활성화함으로써 형성한다.

다음에, 도 13i 및 도 14i에 나타난 바와 같이, 게이트전극(3)의 측벽에 측벽 스페이서(9)를 형성한 후, 고불순물농도의 n^- 형 확산층(11)을 형성한다. n^- 형 확산층(11)은 이온주입기술에 의해 게이트전극(3) 및 측벽 스페이서(9)를 마스크로 하여 n^- 형 불순물을 주입하고, 그 후의 열처리에 의해 주입한 불순물을 활성화함으로써 형성한다.

그리고, p형 반도체기판(1)의 전면에 CVD법 또는 스퍼터법에 의해 텅스텐, 티탄, 코발트 등의 고용점금속막을 퇴적하고, 이어서 p형 반도체기판(1)을 불활성 분위기중에서 열처리함으로써 게이트전극(3) 및 n^- 형 확산층(11) 각각의 표면에 고용점금속실리사이드로 구성되는 도전층(12)을 형성한다. 도전층(12) 형성후, 상기 이외의 영역에 남은 이반층의 고용점금속을 제거하면, 도 11a에 나타난 불휘발성 메모리 및 도 11b에 나타난 휘발성 메모리의 메모리셀 구조가 완성된다.

한편, 도시는 하지 않았지만, 도 11a 및 도 11b의 메모리셀 구조 완성후, 층간절연막 형성공정, 콘택트를 형성공정, 배선형성공정, 패시베이션막 형성공정 등의 통상의 CMOS 제조공정을 순차 거쳐 최종적인 불휘발성 메모리 및 휘발성 메모리를 탑재한 반도체장치가 완성된다.

이와 같이 본 발명의 제6실시형태에서는, 전하축적층(4: 4a, 4b, 4c, 4d)을 게이트전극(3)의 단부의 아래쪽에 자기정합적으로 형성할 수 있다. 따라서, 도 11a 및 도 11b의 메모리셀 트랜지스터의 게이트길이 방향의 미세화가 가능하게 된다. 그에 따라, 대용량, 고밀도의 불휘발성 메모리 및 휘발성 메모리를 제공할 수 있다. 또, 비트당의 셀면적은 종래와 비교하여 거의 반감되어 대폭적으로 축소된 불휘발성 반도체 메모리를 실현할 수 있다.

전하축적층(4)의 채널길이 방향의 폭은, p형 반도체기판(1), 제1게이트절연막(13) 및 제3게이트절연막(15)과 제2게이트절연막(14)의 에칭속도차 및 에칭시간의 조절에 의해 용이하게 제어할 수 있다. 그에 따라, 전하축적층(4)을 대칭으로 배치할 수 있다. 그리고 전하축적층(4)간은 제2게이트절연막(14)에 의해 전기적으로 완전히 분리되므로, 전하축적층(4)간의 상호작용은 일어나지 않는다. 더욱이, 전하축적층(4)은 소스영역, 드레인영역, 게이트전극(3) 및 채널영역으로부터는, 제1절연막(13), 터널절연막(23), 제3절연막(15) 및 산화막(16)에 의해 완전히 절연되므로, 전하유지특성이 우수한 불휘발성 메모리 및 휘발성 메모리를 제공할 수 있다. 전하축적층(4)은 게이트전극(3)의 단부로부터 채널영역 방향으로 연재하여 형성되고, 전하축적층(4) 중의 채널영역측의 부분의 전하축적상태에 따라 메모리셀의 전류전달특성을 거의 결정한다. 따라서, 이 부분의 게이트길이 방향의 길이를 한계까지 축소하면, 보다 미세한 불휘발성 메모리 및 휘발성 메모리를 제공할 수 있다.

셀구조는 통상의 CMOS공정으로 용이하게 실현가능하므로, 기존의 제조라인을 사용하여 저비용으로 불휘발성 메모리 및 휘발성 메모리를 제조할 수 있다.

더욱이, 상기 불휘발성 메모리와 휘발성 메모리는, 그 제조공정의 대부분이 공통화되어 있으므로, 저비용이면서 짧은 제조공기(製造工期)로 불휘발성 메모리와 휘발성 메모리를 혼재한 반도체장치를 제조할 수 있다.

한편, 본 발명의 제6실시형태에서는, 제1게이트절연막(13)을 실리콘질화막, 제2게이트절연막(14)을 실리콘산화막, 제3게이트절연막(15)을 실리콘질화막으로 구성하고 있지만, 제1게이트절연막(13)을 실리콘산화막, 제2게이트절연막(14)을 실리콘질화막, 제3게이트절연막(15)을 실리콘산화막으로 구성해도 좋다. 이 경우, 예컨대 제1게이트절연막(13)은 p형 반도체기판(1)을 열산화한 10nm 정도의 실리콘산화막으로 구성한다. 제2게이트절연막(14)은 JVD법에 의해 퇴적한 5~10nm 정도의 전하축적능력이 낮은 실리콘질화막으로 구성한다. 제3게이트절연막(15)은 CVD법에 의해 퇴적한 10nm 정도의 실리콘산화막으로 구성하면 좋다. 또, 전하축적층 형성을 위한 공간(17)의 형성은, 제1게이트절연막(13) 및 제3게이트절연막(15)을 실리콘산화막으로 구성하고, 제2게이트절연막(14)을 실리콘질화막으로 구성하고 있으므로, 에칭액으로서는 예컨대 인산계를 이용하면 좋다.

제7실시형태

다음에는 본 발명의 제7실시형태에 대해 설명한다. 이 제7실시형태는, 상기 제6실시형태와 마찬가지로, 전기적으로 기록·소거가능한 불휘발성 메모리와 고속으로 기록·독출가능한 휘발성 메모리를 동일한 칩상에 실현하는 예를 나타낸 것이다. 도 15a는 본 발명의 제7실시형태에 따른 반도체기억장치에 탑재된 불휘발성 메모리의 메모리셀 구조를 나타낸 단면도, 도 15b는 본 발명의 제7실시형태에 따른 반도체기억장치에 탑재된 휘발성 메모리의 메모리셀 구조를 나타낸 단면도이다. 도 15a의 불휘발성 메모리와 도 15b의 휘발성 메모리는 동일 칩상에 혼재되는 것이다. 도 15a에 나타난 불휘발성 메모리에 대해서는 상기 제6실시형태와 동일하므로, 여기서는 그 설명을 생략한다.

도 15b에 나타난 바와 같이, 이 제7실시형태에 따른 휘발성 메모리의 메모리셀은 n^- 형 MOS 트랜지스터로 구성된다. 그리고, 이 휘발성 메모리의 메모리셀 구조에서는, p형 반도체기판(1)의 주면상에 터널절연막(23)을 매개해서 전하축적층(4e)이 배치된다. 전하축적층(4e)상에는 제4게이트절연막(24)을 매개해서 게이트전극(3)이 설치된다. 게이트전극(3)의 측면에는 산화막(16)을 매개해서 측벽 스페이서(9)가 설치되고, 이 측벽 스페이서(9)의 하부의 p형 반도체기판(1)의 주면에는 채널영역에 접하는 저불순물농도의 n^- 형 확산층(10)과, 이 n^- 형 확산층(10)의 외측에 위치하는 고불순물농도의 n^- 형 확산층(11)이 설치된다. 게이트전극(3) 및 n^- 형 확산층(11) 각각의 표면에 도전층(12)이 설치된다.

본 발명의 제7실시형태에 따른 휘발성 메모리의 메모리셀은, 소스영역 및 드레인영역을 저불순물농도의 n^- 형 확산층(10)과 고불순물농도의 n^- 형 확산층(11)으로 구성한 LOD구조를 갖추고 있다. 그리고, 게이트절연막이 터널절연막(23) 및 제4게이트절연막(24)으로 이루어진 적층구조로 구성되고, 터널절연막(23)과 제4게

이트절연막(24) 사이에는 전하축적층(4e)이 배치된다. 이 전하축적층(4e)에 전자를 축적하고, 이 전하축적층(4e)에 유지된 전자의 유무에 따라 생기는 임계치전압의 변화분을 기억정보의 "0", "1"에 대응시킨다. 전하축적층(4e)은 CVD법에 의한 전하축적능력이 높은 실리콘질화막으로 구성하면 좋다. 실리콘질화막의 이산적인 전하포획준위에 전자를 축적함으로써, 하부 절연막의 막질에 영향을 받기 어려운 전하유지특성을 얻을 수 있기 때문이다. 또, 실리콘막, 다결정실리콘막으로 구성하면 저가로 제조할 수 있다. 더욱이, 제4게이트절연막(24)을 실리콘산화막(SiO_2 막)의 2배 정도의 유전율을 갖는 실리콘질화막(Si_3N_4 막)으로 구성하면, 실리콘산화막 환산 막두께가 4nm~11nm 정도의 대단히 얇은 게이트절연막을 안정하게 실현할 수 있다. 예컨대 실리콘산화막 환산 막두께가 5nm의 실리콘질화막의 실질막두께는 10nm 정도이므로, 직접터널(OT)주입도 유기되지 않는다. 따라서, 전자의 주입·추출동작시의 전압이 저전압화되어 메모리셀의 미세화뿐만 아니라 주변 고전압 동작소자의 미세화도 가능하게 된다.

본 발명의 제7실시형태에 따른 휘발성 메모리의 메모리셀에서는, 소스영역 및 드레인영역의 내압 향상의 목적으로 n⁻형 확산층(10)을 설치하여 LDD구조를 구성하고 있지만, 싱글 드레인구조, 더블 드레인구조로 소스영역 및 드레인영역을 구성해도 좋다.

본 발명의 제7실시형태에 따른 휘발성 메모리에서는, 전하축적층(4e)의 하부에 터널절연막(23)을 배치하고 있다. 터널절연막(23)은 직접 터널링가능한 막두께를 갖는 박막의 실리콘산화막으로 구성되고, 다이내믹 RAM에 요구되는 100ns 이하에서의 고속으로 기록·독출이 가능하게 된다. 터널절연막(23)을 실리콘산화막으로 구성한 경우, 그 막두께는 3nm 이하로 하면 좋다. 또, 3nm 이하의 실리콘질화막으로 구성하면, 실리콘산화막 환산 막두께가 1.5nm 정도의 대단히 얇은 터널절연막(23)을 안정하게 실현할 수 있다.

더욱이, 본 발명의 제7실시형태에 따른 휘발성 메모리는, 전하축적층(4e)에 전하를 주입하지 않으면, 통상의 MOS 트랜지스터로서 동작시키는 것도 가능하다.

다음에는 본 발명의 제7실시형태에 따른 불휘발성 메모리 및 휘발성 메모리의 메모리셀의 제조방법을 도 16a 내지 도 16h 및 도 17a 내지 도 17h를 참조하여 설명한다. 도 16a 내지 도 16h는 본 발명의 제7실시형태에 따른 불휘발성 메모리의 제조방법을 나타낸 단면도, 도 17a 내지 도 17h는 본 발명의 제7실시형태에 따른 휘발성 메모리의 제조방법을 나타낸 단면도이다.

먼저, 도 16a 및 도 17a에 나타난 바와 같이, p형 반도체기판(1) 전면에 전하축적능력이 작은 실리콘질화막을 퇴적하여 10nm 정도의 제1게이트절연막(13)을 형성한다. 전하축적능력이 작은 실리콘질화막의 퇴적은 예컨대 JVD법으로 행한다. 제1게이트절연막(13) 형성후, CVD법에 의해 실리콘산화막을 퇴적하여 5~10nm 정도의 제2게이트절연막(14)을 형성한다. 이어서, JVD법에 의해 전하축적능력이 작은 실리콘질화막을 퇴적하여 10nm 정도의 제3게이트절연막(15)을 형성한다.

다음에, 도 16b 및 도 17b에 나타난 바와 같이, p형 반도체기판(1) 전면에 LPCVD법에 의해 n형 또는 p형 불순물을 도포한 50~250nm 정도의 다결정실리콘막을 퇴적한 후, 도 16b의 불휘발성 메모리 형성영역에서는 노광기술 및 에칭기술에 의해 패터닝하여 게이트전극(3)을 형성한다. 이어서, 게이트전극(3)을 마스크로 하여 소스영역 및 드레인영역을 형성하는 영역의 p형 반도체기판(1)의 표면의 제1게이트절연막(13), 제2게이트절연막(14) 및 제3게이트절연막(15)을 자기정합적으로 드라이 에칭한다. 도 17b의 휘발성 메모리 형성영역에서는, 다결정실리콘막, 제1게이트절연막(13), 제2게이트절연막(14) 및 제3게이트절연막(15)은 모두 제거되고, p형 반도체기판(1) 표면이 노출된다.

다음에, 도 16c에 나타난 바와 같이, 불휘발성 메모리 형성영역에서는 전하축적층 형성을 위한 공간(17)을 형성한다. 이 전하축적층 형성을 위한 공간(17)은, 제1게이트절연막(13) 및 제3게이트절연막(15)보다도 제2게이트절연막(14)의 에칭속도가 큰 에칭액을 이용하여 제2게이트절연막(14)의 단부를 선택적으로 웨트 에칭함으로써 형성한다. 본 발명의 제7실시형태에서는, 제1게이트절연막(13) 및 제3게이트절연막(15)을 실리콘질화막으로 구성하고, 제2게이트절연막(14)을 실리콘산화막으로 구성하고 있으므로, 에칭액으로서는 예컨대 불산계를 이용하면 좋다. 또, 전하축적층 형성을 위한 공간(17)은, 에칭액을 이용한 웨트 에칭법 대신에 HF가스를 함유한 가스를 이용한 플라즈마 드라이 에칭법으로 형성해도 좋다. 한편, 도 17c에 나타난 바와 같이, 휘발성 메모리 형성영역에서는 p형 반도체기판(1)의 표면이 노출된 그대로이다.

다음에, 도 16d 및 도 17d에 나타난 바와 같이, p형 반도체기판(1) 전면을 예컨대 RTO법에 의해 산화하여, 직접 터널가능한 실리콘산화막으로 이루어진 터널절연막(23)을 형성한다. 터널절연막(23) 형성후, p형 반도체기판(1) 전면에 LPCVD법에 의해 전하축적능력이 높은 실리콘질화막(18)을 퇴적한다. 이 때, 전하축적층 형성을 위한 공간(17)이 실리콘질화막(18)에 의해 완전히 매립된다. 그리고, 도 16e에 나타난 바와 같이, 불휘발성 메모리 형성영역에서는 p형 반도체기판(1) 전면에 대해 RIE에 의한 이방성 에칭을 행하여 전하축적능력이 높은 실리콘질화막(18)으로 구성된 전하축적층(4; 4a, 4b)을 형성한다. 그 때, 도 17e의 휘발성 메모리 형성영역은 포토레지스트로 피복되어 있어 실리콘질화막(18)은 에칭되지 않는다.

실리콘질화막(18)의 에칭종료후, p형 반도체기판(1) 전면에 실리콘산화막을 퇴적하여 제4게이트절연막(24)을 형성한다. 여기서, 도 16e의 불휘발성 메모리 형성영역의 제4게이트절연막(24)은 제거된다. 그 제거는, 도 17e의 휘발성 메모리 형성영역을 포토레지스트로 피복하고, 도 16e의 불휘발성 메모리 형성영역에 퇴적된 제4게이트절연막(24)을 에칭함으로써 행해진다.

다음에, 도 17f에 나타난 바와 같이, p형 반도체기판(1) 전면에 LPCVD법에 의해 n형 또는 p형 불순물을 도포한 50~250nm 정도의 다결정실리콘막을 퇴적한다. 그리고, 노광기술 및 에칭기술에 의해 그 다결정실리콘막을 패터닝하여 게이트전극(3a)을 형성한다. 이어서, 게이트전극(3a)을 에칭마스크로 하여 소스영역 및 드레인영역을 형성하는 영역의 p형 반도체기판(1)의 표면의 터널절연막(23), 전하축적층(4e) 및 제4게이트절연막(24)을 자기정합적으로 드라이 에칭한다. 한편, 불휘발성 메모리 형성영역에서는, 도 16f에 나타난 바와 같이 다결정실리콘막을 전부 제거해도 좋고, 게이트전극(3)에 맞추어 패터닝하여 새로운 게이트전극을 형성해도 좋다.

다음에, 도 16g 및 도 17g에 나타난 바와 같이, p형 반도체기판(1)의 전면에 산화막(16)을 형성한 후, 저물순

물농도의 n^- 형 확산층(10)을 형성한다. n^- 형 확산층(10)은 이온주입기술에 의해 게이트전극(3)을 마스크로 하여 n^- 형 불순물을 주입하고, 그 후의 열처리에 의해 주입한 불순물을 활성화함으로써 형성한다.

다음에, 도 16h 및 도 17h에 나타난 바와 같이, 게이트전극(3)의 측벽에 측벽 스페이서(9)를 형성한 후, 고불순물농도의 n^+ 형 확산층(11)을 형성한다. n^+ 형 확산층(11)은 이온주입기술에 의해 게이트전극(3) 및 측벽 스페이서(9)를 마스크로 하여 n^+ 형 불순물을 주입하고, 그 후의 열처리에 의해 주입한 불순물을 활성화함으로써 형성한다.

다음에, p 형 반도체기판(1)의 전면에 CVD법 또는 스퍼터법에 의해 텅스텐, 티탄, 코발트 등의 고용점금속막을 퇴적하고, 이어서 p 형 반도체기판(1)을 불활성 분위기중에서 열처리함으로써 게이트전극(3) 및 n^+ 형 확산층(11) 각각의 표면에 고용점금속실리사이드로 구성되는 도전층(12)을 형성한다. 도전층(12) 형성후, 상기 이외의 영역에 남은 미반응의 고용점금속을 제거하면, 도 15a에 나타난 불휘발성 메모리 및 도 15b에 나타난 휘발성 메모리의 메모리셀 구조가 완성된다.

도시는 하지 않았지만, 도 15a 및 도 15b의 메모리셀 구조 완성후, 중간절연막 형성공정, 콘택트홀 형성공정, 배선형성공정, 패시베이션막 형성공정 등의 통상의 CMOS 제조공정을 순차 거쳐 최종적인 불휘발성 메모리 및 휘발성 메모리가 완성된다.

본 발명의 제7실시형태에서는, 제1게이트절연막(13)을 실리콘질화막, 제2게이트절연막(14)을 실리콘산화막, 제3게이트절연막(15)을 실리콘질화막으로 구성하고 있지만, 제1게이트절연막(13)을 실리콘산화막, 제2게이트절연막(14)을 실리콘질화막, 제3게이트절연막(15)을 실리콘산화막으로 구성해도 좋다. 이 경우, 예컨대 제1게이트절연막(13)은 p 형 반도체기판(1)을 열산화한 10nm 정도의 실리콘산화막으로 구성한다. 제2게이트절연막(14)은 JVD법에 의해 퇴적한 5~10nm 정도의 전하축적능력이 낮은 실리콘질화막으로 구성한다. 제3게이트절연막(15)은 CVD법에 의해 퇴적한 10nm 정도의 실리콘산화막으로 구성하면 좋다. 또, 전하축적층 형성을 위한 공간(17)의 형성은, 제1게이트절연막(13) 및 제3게이트절연막(15)을 실리콘산화막으로 구성하고, 제2게이트절연막(14)을 실리콘질화막으로 구성하고 있으므로, 에칭액으로서는 예컨대 인산계를 이용하면 좋다.

본 발명의 제6 및 제7실시형태에서는, 불휘발성 메모리 및 휘발성 메모리의 메모리셀은 모두 n 형 MOS 트랜지스터로 구성되는 것에 대해 설명했지만, 반대도전형의 p 형 MOS 트랜지스터의 메모리셀이라도 좋은 것은 물론이다. 이 경우에는, 상기의 설명에 있어서 적절히 기판이나 확산층의 도전형을 반대의 것으로 바꿔 읽으면 좋다.

제8실시형태

다음에는 본 발명의 제8실시형태에 대해 설명한다. 상기의 제1 내지 제7실시형태에서는, 전하축적층의 구조는 전자주입효율의 향상에 직접적으로는 기여하지 않는다. 플로팅 게이트구조의 불휘발성 반도체 메모리에서는, 채널부분에 단차를 설치하여 전자주입효율을 향상시키는 시도가 제안되어 있다(S. Ogura, 1988 IDEM p.987, 미국 특허번호 제5,780,341호). 그렇지만, 이 제안에서는 플로팅 게이트구조를 채용하기 때문에, 산화막중의 결함이나 누설사이트에 대해서는 약하다. 또, 단차구조 형성시에 발생할 수 있는 결함에 대해서도, 충분한 신뢰성을 얻지 못할 우려가 있다. 본 발명의 제8실시형태는, 간단한 프로세스로 전자주입효율을 향상시킬 수 있는 것이다.

도 18은 본 발명의 제8실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도이다. 이 제8실시형태는, 메모리셀의 채널영역에 단차나 경사를 설치함으로써, 기록시의 전자주입효율의 향상을 도모하는 것이다. 도 18에 나타난 바와 같이, 이 메모리셀은 n 형 MOS 트랜지스터로 구성된다. 그리고, 본 발명의 제8실시형태에 따른 불휘발성 메모리의 메모리셀 구조에서는, p 형 반도체기판(1)의 표면에 제1게이트절연막(13)을 매개해서 제2게이트절연막(14)이 설치된다. 제2게이트절연막(14)의 양단에는 전하축적층(4a,4b)이 형성된다. 제2게이트절연막(14) 및 전하축적층(4a,4b)상에는 제3게이트절연막(15)을 매개해서 게이트전극(3)이 설치된다. 게이트전극(3)의 측면에는 산화막(16)을 매개해서 측벽 스페이서(9)가 설치되고, 이 측벽 스페이서(9)의 하부의 p 형 반도체기판(1)에는 채널영역에 접하는 저불순물농도의 n^- 형 확산층(10)과, 이 n^- 형 확산층(10)의 외측에 위치하는 고불순물농도의 n^+ 형 확산층(11)이 설치된다. 게이트전극(3) 및 n^+ 형 확산층(11) 각각의 표면에는 도전층(12)이 설치된다.

더욱이, 본 발명의 제8실시형태에 따른 불휘발성 메모리의 메모리셀 구조에서는, 채널영역(25)에 단차(26)가 설치된다. 이 단차(26)에 의해 p 형 반도체기판(1)내의 전자의 산란방향으로 전하축적층(4)이 위치하게 된다. 따라서, 기록시의 전자의 주입효율이 향상된다.

본 발명의 제8실시형태에 따른 불휘발성 반도체 메모리의 메모리셀은, 소스영역 및 드레인영역을 저불순물농도의 n^- 형 확산층(10)과 고불순물농도의 n^+ 형 확산층(11)으로 구성된 LDD구조를 갖추고 있다. 그리고, 게이트절연막이 제1게이트절연막(13; 하층), 제2게이트절연막(14; 중간층) 및 제3게이트절연막(15; 상층)으로 이루어진 3층 적층막으로 구성되고, 제2게이트절연막(14)의 양단부에는 전하축적층(4a,4b)이 형성된다. 이 2개의 전하축적층(4a,4b)에 전자를 축적하고, 그 축적상태는 (1) 전하축적층(4a,4b)이 모두 전자를 축적하고 있지 않은 상태, (2) 전하축적층(4a)만이 전자를 축적하고 있는 상태, (3) 전하축적층(4b)만이 전자를 축적하고 있는 상태, (4) 전하축적층(4a,4b)이 모두 전자를 축적하고 있는 상태의 4가지의 상태를 취할 수 있다. 이 2개의 전하축적층(4a,4b)에 유지된 전자의 유무에 따라 생기는 임계치전압의 변화분을 기억정보의 "00", "01", "10", "11"에 대응시킨다. 또, 이 메모리셀 구조에서는 전하축적층(4a,4b)은 채널영역 단부의 위쪽에 위치하므로, 채널영역 중앙부의 임계치전압은 채널영역의 불순물농도만으로 결정되고, 전하축적층(4a,4b)의 전자의 축적상태에 의존하지 않는다. 따라서, 전하축적층(4a,4b)의 전자의 과부족에 의한 과소거는 방지되고, 그에 따라 과소거에 기인하는 누설불량, 프로그램불량, 독출불량 등이 생길 수 없다. 또, 소스영역과 드레인영역간의 누설전류는 게이트전압만으로 억제할 수 있어 고신뢰성의 불휘발성 반도체 메모리를 실현할

수 있다. 전하축적층(4a,4b)은 CVD법에 의한 전하축적능력이 높은 실리콘질화막으로 구성하면 좋다. 실리콘질화막의 이산적인 전하포획준위에 전자를 축적함으로써, 하부 절연막의 막질에 영향을 받기 어려운 전하유지특성을 얻을 수 있기 때문이다. 또, 실리콘막, 다결정실리콘막으로 구성하면 저가로 제조할 수 있다. 더욱이, 제1게이트절연막(13), 제3게이트절연막(15)을 실리콘산화막(SiO_2 막)의 2배 정도의 유전율을 갖는 실리콘질화막(Si_3N_4 막)으로 구성하면, 실리콘산화막 환산 막두께가 4nm~11nm 정도의 대단히 얇은 게이트절연막을 안정하게 실현할 수 있다. 예컨대 실리콘산화막 환산 막두께가 5nm의 실리콘질화막의 실질막두께는 10nm 정도이므로, 직접터널(DT)주입도 유기되지 않는다. 따라서, 전자의 주입·추출동작시의 전압이 저전압화되어 메모리셀의 미세화뿐만 아니라 주변 고전압 동작소자의 미세화도 가능하게 된다.

본 발명의 제8실시형태에 따른 불휘발성 반도체 메모리의 메모리셀에서는, 소스영역 및 드레인영역의 내압향상의 목적으로 n⁻형 확산층(10)을 설치하여 LOD구조를 구성하고 있지만, 싱글 드레인구조, 더블 드레인구조로 소스영역 및 드레인영역을 구성해도 좋다. 제2게이트절연막(14)은 전하축적층 4a-4b간의 누설을 방지하는 바, 예컨대 실리콘산화막으로 구성할 수 있다. 또, 제2게이트절연막(14)에 고유전율을 갖는 금속산화막을 이용하면, 채널영역 중앙의 전류전달특성을 향상시킬 수 있다. 금속산화막으로서는, 예컨대 TiO_2 , Ta_2O_5 , Al_2O_5 , PZT, SBT가 있다.

본 발명의 제8실시형태에서는, 소스측, 드레인측의 양쪽에 단차(26)를 설치했지만, 어느 쪽인가 한쪽에만 설치해도 좋다. 특히, 1비트분의 정보를 기억하는 메모리에서는 한쪽만 있으면 충분하다.

다음에는 본 발명의 제8실시형태에 따른 불휘발성 메모리의 동작에 대해 도 19a 및 도 19b를 참조하여 설명한다. 도 19a는 기록동작을 설명하는 불휘발성 메모리의 단면도이다. 도 19b는 소거동작을 설명하는 불휘발성 메모리의 단면도이다. 도 19a에 나타난 바와 같이, 메모리셀의 기록시에는, 게이트(G)에 6~8V 정도, 드레인(D)에 4~5V 정도를 각각 인가하고, 소스(S)를 접지한다. 이와 같이 전압을 인가하고, 채널열전자(CHE)로 전자를 드레인영역측의 전하축적층(4b)에 주입한다. 채널영역(25)에 단차(26)를 설치함으로써, 전자의 산란방향으로 전하축적층(4b)에 위치하고 있다. 이 때문에, 전하축적층(4b)에 대한 전자의 주입효율이 향상되고, 주입속도의 고속화, 인가전압의 저감화를 도모할 수 있다. 소스영역측의 전하축적층(4a)에 전자를 주입하는 경우에는, 드레인(D), 소스(S) 각각에 인가하는 전압을 상기의 경우와 교체하면 좋다. 한편, 메모리셀의 소거는 도 19b에 나타난 바와 같이 게이트(G)에 부전압(~-5V)을 인가하고, 파울러-노드하임(FN)형 터널전류를 이용하여 전하축적층(4a,4b)으로부터 전자를 방출함으로써 행해진다. 또, 게이트전극(3)이 복수의 메모리셀에서 공유되고 있는 경우에는, 이들 메모리셀로부터 동시에 전자를 방출할 수 있다. 이 경우, 소스(S), 드레인(D)은 p형 반도체기판(1)과 동전위로 하면 좋다. 또, p형 반도체기판(1)의 전위와는 다른 정전압을 드레인(D)에 인가하고, 소스(S)를 부유전위로 하면, 드레인(D)측의 전하축적층(4b)만으로부터 전자를 방출하는 것도 가능하다. 소스(S)측의 전하축적층(4a)만으로부터 전자를 방출하는 경우에는, 소스(S)에 정전압을 인가하고, 드레인(D)을 부유전위로 하면 좋다.

또, 도시는 하지 않았지만, 메모리셀의 독출은 소스(S)와 드레인(D) 사이를 흐르는 독출전류를 검지함으로써 행해진다. 전하축적층(4a,4b)의 축적상태에 따라 소스영역, 드레인영역 근방의 전류전달특성(채널 콘덕턴스)이 변조되는 것을 이용하는 것이다. 소스(S), 드레인(D)의 어느 쪽에 바이어스하는가는 전류전달특성의 변조가 현저하게 나타나는 쪽을 선택하면 좋다. 전하축적층(4a,4b)의 4가지의 축적상태에 따라 4개의 다른 전류전달특성이 얻어지고, 그에 따라 1개의 셀에서 2비트분의 정보를 기억할 수 있다.

다음에는 본 발명의 제8실시형태에 따른 불휘발성 반도체 메모리의 메모리셀의 제조방법을 도 20a 내지 도 20i를 참조하여 설명한다. 먼저, 도 20a에 나타난 바와 같이, 채널영역(25)이 형성되는 영역을 피복하는 포토레지스트 패턴(27)을, p형 반도체기판(1)상에 형성한다. 그리고, 도 20b에 나타난 바와 같이, 예컨대 RIE법에 의해 p형 반도체기판(1)을 에칭함으로써 단차(26)를 형성한다.

다음에, 도 20c에 나타난 바와 같이, p형 반도체기판(1) 전면에 전하축적능력이 작은 실리콘질화막을 퇴적하여 10nm 정도의 제1게이트절연막(13)을 형성한다. 전하축적능력이 작은 실리콘질화막의 퇴적은 예컨대 JVD법으로 행한다. 제1게이트절연막(13) 형성후, CVD법에 의해 실리콘산화막을 퇴적하여 5~10nm 정도의 제2게이트절연막(14)을 형성한다. 이어서, JVD법에 의해 전하축적능력이 작은 실리콘질화막을 퇴적하여 10nm 정도의 제3게이트절연막(15)을 형성한다.

다음에, 도 20d에 나타난 바와 같이, p형 반도체기판(1) 전면에 LPCVD법에 의해 n형 또는 p형 불순물을 도포한 50~250nm 정도의 다결정실리콘막을 퇴적한 후, 노광기술 및 에칭기술에 의해 패턴화하여 게이트전극(3)을 형성한다. 이어서, 게이트전극(3)을 마스크로 하여 소스영역 및 드레인영역을 형성하는 영역의 p형 반도체기판(1)의 표면의 제1게이트절연막(13), 제2게이트절연막(14) 및 제3게이트절연막(15)을 자기정합적으로 드라이 에칭한다.

다음에, 도 20e에 나타난 바와 같이, 전하축적층 형성을 위한 공간(17)을 형성한다. 이 공간(17)은 제1게이트절연막(13) 및 제3게이트절연막(15)보다도 제2게이트절연막(14)의 에칭속도가 큰 에칭액을 이용하여 제2게이트절연막(14)의 단부를 선택적으로 웨트 에칭함으로써 형성한다. 본 발명의 제8실시형태에서는, 제1게이트절연막(13) 및 제3게이트절연막(15)을 실리콘질화막으로 구성하고, 제2게이트절연막(14)을 실리콘산화막으로 구성하고 있으므로, 에칭액으로서는 예컨대 불산계를 이용하면 좋다. 또, 전하축적층 형성을 위한 공간(17)은, 에칭액을 이용한 웨트 에칭법 대신에 HF가스를 함유한 가스를 이용한 플라스마 드라이 에칭법으로 형성해도 좋다.

다음에, 도 20f에 나타난 바와 같이, p형 반도체기판(1) 전면에 LPCVD법에 의해 전하축적능력이 높은 실리콘질화막(18)을 전하축적층 형성을 위한 공간(17)이 완전히 매립되도록 퇴적한다. 그리고, 도 20g에 나타난 바와 같이, p형 반도체기판(1) 전면에 대해 RIE에 의한 이방성 에칭을 행하여 전하축적능력이 높은 실리콘질화막으로 구성된 전하축적층(4a,4b)을 형성한다.

다음에, 도 20h에 나타난 바와 같이, p형 반도체기판(1) 전면에 산화막(16)을 형성한 후, 저불순물농도의 n⁻

형 확산층(10)을 형성한다. n^+ 형 확산층(10)은 이온주입기술에 의해 게이트전극(3)을 마스크로 하여 n 형 불순물을 주입하고, 그 후의 열처리에 의해 주입한 불순물을 활성화함으로써 형성한다.

다음에, 도 20i에 나타난 바와 같이, 게이트전극(3)의 측벽에 측벽 스페이서(9)를 형성한 후, 고불순물농도의 n^+ 형 확산층(11)을 형성한다. n^+ 형 확산층(11)은 이온주입기술에 의해 게이트전극(3) 및 측벽 스페이서(9)를 마스크로 하여 n 형 불순물을 주입하고, 그 후의 열처리에 의해 주입한 불순물을 활성화함으로써 형성한다.

다음에, p 형 반도체기판(1)의 전면에 CVD법 또는 스퍼터법에 의해 텅스텐, 티탄, 코발트 등의 고용점금속막을 퇴적하고, 이어서 p 형 반도체기판(1)을 불활성 분위기중에서 열처리함으로써 게이트전극(3) 및 n^+ 형 확산층(11) 각각의 표면에 고용점금속실리사이드로 구성되는 도전층(12)을 형성한다. 도전층(12) 형성후, 상기 이외의 영역에 남은 미반응의 고용점금속을 제거하면, 도 18에 나타난 메모리셀 구조가 완성된다.

한편, 도시는 하지 않았지만, 도 18의 메모리셀 구조 완성후, 층간절연막 형성공정, 콘택트홀 형성공정, 배선 형성공정, 패시베이션막 형성공정 등의 통상의 CMOS 제조공정을 순차 거쳐 최종적인 불휘발성 메모리셀이 완성된다.

이와 같이 본 발명의 제8실시형태에서는, 전하축적층(4a,4b)을 게이트전극(3)의 양단의 아래쪽에 자기정합적으로 형성할 수 있다. 따라서, 셀 트랜지스터의 게이트길이 방향의 미세화가 가능하게 된다. 그에 따라, 대용량, 고밀도의 불휘발성 반도체 메모리를 제공할 수 있다. 또, 비트당의 셀면적은 종래와 비교하여 거의 반감되어 대폭적으로 축소된 불휘발성 반도체 메모리를 실현할 수 있다.

또, 전하축적층(4a,4b)의 채널길이 방향의 폭은 제1게이트절연막(13) 및 제2게이트절연막(14)과 제2게이트절연막(14)의 에칭속도차 및 에칭시간의 조절에 의해 용이하게 제어할 수 있다. 그에 따라, 전하축적층(4a,4b)을 대칭으로 배치할 수 있다. 그리고 전하축적층(4a,4b)은 제2게이트절연막(14)에 의해 전기적으로 완전히 분리되므로, 전하축적층(4a,4b)간의 상호작용은 일어나지 않는다. 더욱이, 전하축적층(4a,4b)은 소스영역, 드레인영역, 게이트전극(3) 및 채널영역으로부터는, 제1절연막(13), 제3절연막(15) 및 산화막(16)에 의해 완전히 절연되므로, 전하유지특성이 우수한 불휘발성 반도체 메모리를 제공할 수 있다. 전하축적층(4a,4b)은 게이트전극(3)의 단부로부터 채널영역 방향으로 연재하여 형성되고, 전하축적층(4a,4b) 중의 채널영역측의 부분의 전하축적상태에 따라 메모리셀의 전류전달특성을 거의 결정한다. 따라서, 이 부분의 게이트길이 방향의 길이를 한계까지 축소하면, 보다 미세한 불휘발성 반도체 메모리를 제공할 수 있다.

더욱이, 셀구조는 통상의 CMOS공정으로 용이하게 실현가능하므로, 기존의 제조라인을 사용하여 저비용으로 불휘발성 반도체 메모리를 제조할 수 있다.

그리고, 본 발명의 제8실시형태에서는, 기록시의 전자주입효율을 향상시킬 수 있다. 이 때문에, 기록속도의 고속화, 기록시의 인가전압의 저감화를 도모할 수 있다.

제9실시형태

다음에는 본 발명의 제9실시형태에 대해 설명한다. 본 발명의 제9실시형태는, 상기의 제8실시형태에 있어서, 도 18의 전하축적층(4a)과 전하축적층(4b) 사이에 배치된 제2절연막(14)을 불필요하게 하고, 2개의 전하축적층(4a,4b)을 일체화시킨 구성을 채용하고 있다. 도 21은 본 발명의 제9실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도이다. 도 21에 나타난 바와 같이, 이 메모리셀 구조는 상기의 제8실시형태의 전하축적층(4a,4b) 및 제2절연막(14) 대신에 전하축적층(4f)을 배치한 것이다.

다음에는 본 발명의 제9실시형태에 따른 불휘발성 메모리의 메모리셀의 제조방법을 도 22a 내지 도 22f를 참조하여 설명한다. 상기 제8실시형태와 마찬가지로, 먼저 도 22a에 나타난 바와 같이, 채널영역(25)이 형성되는 영역을 피복하는 포토레지스트 패턴(27)을, p 형 반도체기판(1)상에 형성한다. 그리고, 도 22b에 나타난 바와 같이, 에컨대 RIE법에 의해 p 형 반도체기판(1)을 에칭함으로써 단차(26)를 형성한다.

다음에, 도 22c에 나타난 바와 같이, p 형 반도체기판(1) 전면에 전하축적능력이 작은 실리콘질화막을 퇴적하여 10nm 정도의 제1게이트절연막(13)을 형성한다. 전하축적능력이 작은 실리콘질화막의 퇴적은 에컨대 JVD법으로 행한다. 제1게이트절연막(13) 형성후, LPCVD법에 의해 전하축적능력이 높은 실리콘질화막(18)을 5~10nm 정도 형성한다. 이어서, JVD법에 의해 전하축적능력이 작은 실리콘질화막을 퇴적하여 10nm 정도의 제3게이트절연막(15)을 형성한다.

다음에, 도 22d에 나타난 바와 같이, p 형 반도체기판(1) 전면에 LPCVD법에 의해 n 형 또는 p 형 불순물을 도포한 50~250nm 정도의 다결정실리콘막을 퇴적한 후, 노광기술 및 에칭기술에 의해 패터닝하여 게이트전극(3)을 형성한다. 이어서, 게이트전극(3)을 마스크로 하여 소스영역 및 드레인영역을 형성하는 영역의 p 형 반도체기판(1)의 표면의 제1게이트절연막(13), 실리콘질화막(18) 및 제3게이트절연막(15)을 자기정합적으로 드라이 에칭한다. 여기서, 전하축적층(4f)이 형성된다.

다음에, 도 22e에 나타난 바와 같이, p 형 반도체기판(1) 전면에 산화막(16)을 형성한 후, 저불순물농도의 n^+ 형 확산층(10)을 형성한다. n^+ 형 확산층(10)은 이온주입기술에 의해 게이트전극(3)을 마스크로 하여 n 형 불순물을 주입하고, 그 후의 열처리에 의해 주입한 불순물을 활성화함으로써 형성한다.

다음에, 도 22f에 나타난 바와 같이, 게이트전극(3)의 측벽에 측벽 스페이서(9)를 형성한 후, 고불순물농도의 n^+ 형 확산층(11)을 형성한다. n^+ 형 확산층(11)은 이온주입기술에 의해 게이트전극(3) 및 측벽 스페이서(9)를 마스크로 하여 n 형 불순물을 주입하고, 그 후의 열처리에 의해 주입한 불순물을 활성화함으로써 형성한다.

다음에, p 형 반도체기판(1)의 전면에 CVD법 또는 스퍼터법에 의해 텅스텐, 티탄, 코발트 등의 고용점금속막을 퇴적하고, 이어서 p 형 반도체기판(1)을 불활성 분위기중에서 열처리함으로써 게이트전극(3) 및 n^+ 형 확산층(11) 각각의 표면에 고용점금속실리사이드로 구성되는 도전층(12)을 형성한다. 도전층(12) 형성후, 상기

이외의 영역에 남은 미반응의 고용점금속을 제거하면, 도 21에 나타난 메모리셀 구조가 완성된다.

한편, 도시는 하지 않았지만, 도 21의 메모리셀 구조 완성후, 충전절연막 형성공정, 콘택트를 형성공정, 배선 형성공정, 패시베이션막 형성공정 등의 통상의 CMOS 제조공정을 순차 거쳐 최종적인 불휘발성 메모리셀이 완성된다.

제10실시형태

다음에는 본 발명의 제10실시형태에 대해 설명한다. 도 23은 본 발명의 제10실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도이다. 상기 제8 및 제9실시형태에서는, 채널영역을 반도체기판에 대해 볼록(△)상태로 함으로써, 채널영역의 양단에 단차를 설치했지만, 이 제10실시형태에서는 채널영역을 반도체기판에 대해 오목(▽)상태로 함으로써, 채널영역에 단차를 설치한 것이다. 그리고, 이 제10실시형태도 메모리셀의 채널영역에 단차나 경사를 설치함으로써, 기록시의 전자주입효율의 향상을 도모하는 것이다.

도 23에 나타난 바와 같이, 이 메모리셀은 p형 MOS 트랜지스터로 구성된다. 그리고, 이 제10실시형태에 따른 메모리셀의 구조에서는, n형 반도체기판(19)의 표면에 제1게이트절연막(13)을 매개해서 제2게이트절연막(14)이 설치된다. 제2게이트절연막(14)의 양단에는 전하축적층(4a, 4b)이 형성된다.

제2게이트절연막(14) 및 전하축적층(4a, 4b)상에는 제3게이트절연막(15)을 매개해서 게이트전극(3)이 설치된다. 게이트전극(3)의 측면에는 산화막(16)을 매개해서 측벽 스페이서(9)가 설치되고, 이 측벽 스페이서(9)의 하부의 n형 반도체기판(19)에는 채널영역에 접하는 저불순물농도의 p⁺형 확산층(20)과, 이 p⁺형 확산층(20)의 외측에 위치하는 고불순물농도의 p⁺형 확산층(21)이 설치된다. 게이트전극(3) 및 p⁺형 확산층(21) 각각의 표면에는 도전층(12)이 설치된다.

더욱이, 본 발명의 제10실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조에서는, 채널영역(25)에 단차(26)가 설치된다. 이 단차(26)에 의해 p형 반도체기판(1)내의 전자의 산란방향으로 전하축적층(4)이 위치하게 된다. 따라서, 기록시의 전자의 주입효율이 향상된다.

본 발명의 제10실시형태에 따른 불휘발성 반도체 메모리의 메모리셀은, 소스영역 및 드레인영역을 저불순물농도의 p⁺형 확산층(20)과 고불순물농도의 p⁺형 확산층(21)으로 구성된 LDD구조를 갖추고 있다. 그리고, 게이트절연막이 제1게이트절연막(13; 하층), 제2게이트절연막(14; 중간층) 및 제3게이트절연막(15; 상층)으로 이루어진 3층 적층막으로 구성되고, 제2게이트절연막(14)의 양단부에는 전하축적층(4a, 4b)이 형성된다. 이 2개의 전하축적층(4a, 4b)에 전자를 축적하고, 그 축적상태는 (1) 전하축적층(4a, 4b)이 모두 전자를 축적하고 있지 않은 상태, (2) 전하축적층(4a)만이 전자를 축적하고 있는 상태, (3) 전하축적층(4b)만이 전자를 축적하고 있는 상태, (4) 전하축적층(4a, 4b)이 모두 전자를 축적하고 있는 상태의 4가지의 상태를 취할 수 있다. 이 2개의 전하축적층(4a, 4b)에 유지된 전자의 유무에 따라 생기는 임계치전압의 변화분을 기억정보의 "00", "01", "10", "11"에 대응시킨다. 또, 이 메모리셀 구조에서는 전하축적층(4a, 4b)은 채널영역 단부의 위쪽에 위치하므로, 채널영역 중앙부의 임계치전압은 채널영역의 불순물농도만으로 결정되고, 전하축적층(4a, 4b)의 전자의 축적상태에 의존하지 않는다. 따라서, 전하축적층(4a, 4b)의 전자의 과부족에 의한 과소거는 방지되고, 그에 따라 과소거에 기인하는 누설불량, 프로그램불량, 독출불량 등이 생길 수 없다. 또, 소스영역과 드레인영역간의 누설전류는 게이트전압만으로 억제할 수 있어 고신뢰성의 불휘발성 반도체 메모리를 실현할 수 있다. 전하축적층(4a, 4b)은 CVD법에 의한 전하축적능력이 높은 실리콘질화막으로 구성하면 좋다. 실리콘질화막의 이산적인 전하포획준위에 전자를 축적함으로써, 하부 절연막의 막질에 영향을 받기 어려운 전하유지특성을 얻을 수 있기 때문이다. 또, 실리콘막, 다결정실리콘막으로 구성하면 저가로 제조할 수 있다. 더욱이, 제1게이트절연막(13), 제3게이트절연막(15)을 실리콘산화막(SiO₂막)의 2배 정도의 유전률을 갖는 실리콘질화막(Si₃N₄막)으로 구성하면, 실리콘산화막 환산 막두께가 4nm~11nm 정도의 대단히 얇은 게이트절연막을 안정하게 실현할 수 있다. 예컨대 실리콘산화막 환산 막두께가 5nm의 실리콘질화막의 실질막두께는 10nm 정도이므로, 직접터널(DT)주입도 유지되지 않는다. 따라서, 전자의 주입·추출 동작시의 전압이 저전압화되어 메모리셀의 미세화뿐만 아니라 주변 고전압 동작소자의 미세화도 가능하게 된다.

본 발명의 제10실시형태에 따른 불휘발성 반도체 메모리의 메모리셀에서는, 소스영역 및 드레인영역의 내압향상의 목적으로 p⁺형 확산층(20)을 설치하여 LDD구조를 구성하고 있지만, 싱글 드레인구조, 더블 드레인구조로 소스영역 및 드레인영역을 구성해도 좋다. 제2게이트절연막(14)은 전하축적층 4a-4b간의 누설을 방지하는 바, 예컨대 실리콘산화막으로 구성할 수 있다. 또, 제2게이트절연막(14)에 고유전률을 갖는 금속산화막을 이용하면, 채널영역 중앙의 전류전달특성을 향상시킬 수 있다. 금속산화막으로서는, 예컨대 TiO₂, Ta₂O₅, Al₂O₅, PZT, SBT가 있다.

본 발명의 제10실시형태에서는, 소스측, 드레인측의 양쪽에 단차(26)를 설치했지만, 어느 쪽인가 한쪽에만 설치해도 좋다. 특히, 1비트분의 정보를 기억하는 메모리에서는 한쪽만 있으면 충분하다.

다음에는 본 발명의 제10실시형태에 따른 불휘발성 메모리의 동작에 대해 도 24a 및 도 24b를 참조하여 설명한다. 도 24a는 기록동작을 설명하는 불휘발성 메모리의 단면도이다. 도 24b는 소거동작을 설명하는 불휘발성 메모리의 단면도이다. 도 24a에 나타난 바와 같이, 메모리셀의 기록시에는, 게이트(G)에 5V 정도, 드레인(D)에 -5V 정도를 각각 인가하고, 소스(S)를 부유전위로 한다. 이와 같이 전압을 인가하고, 밴드갭 터널 현상 기인의 전자에 드레인 근방의 전계로 에너지를 공급하여 드레인영역측의 전하축적층(4b)에 주입한다. 채널영역(25)에 단차(26)를 설치함으로써, 전자의 주입방향으로 전하축적층(4b)에 위치하고 있다. 이 때문에, 전하축적층(4b)에 대한 전자의 주입효율이 향상되고, 주입속도의 고속화, 인가전압의 저감화를 도모할 수 있다. 소스영역측의 전하축적층(4a)에 전자를 주입하는 경우에는, 드레인(D), 소스(S) 각각에 인가하는 전압을 상기의 경우와 교체하면 좋다. 한편, 메모리셀의 소거는 도 24b에 나타난 바와 같이 게이트(G)에 부전압(~-5V)을 인가하고, 파울러 노드하임(FN)형 터널전류를 이용하여 전하축적층(4a, 4b)으로부터 전자를 방출함으로써 행해진다. 또, 게이트전극(3)이 복수의 메모리셀에서 공유되고 있는 경우에는, 그들 메모리셀로부터 동시에 전자를 방출할 수 있다. 이 경우, 소스(S), 드레인(D)은 p형 반도체기판(1)과 동전위로 하면

좋다. 또, p형 반도체기판(1)의 전위와는 다른 정전압을 드레인(D)에 인가하고, 소스(S)를 부유전위로 하면, 드레인(D)측의 전하축적층(4b)만으로부터 전자를 방출하는 것도 가능하다. 소스(S)측의 전하축적층(4a)만으로부터 전자를 방출하는 경우에는, 소스(S)에 정전압을 인가하고, 드레인(D)을 부유전위로 하면 좋다.

또, 도시는 하지 않았지만, 메모리셀의 독출은 소스(S)와 드레인(D) 사이를 흐르는 독출전류를 검지함으로써 행해진다. 전하축적층(4a,4b)의 축적상태에 따라 소스영역, 드레인영역 근방의 전류전달특성(채널 콘덕턴스)이 변조되는 것을 이용하는 것이다. 소스(S), 드레인(D)의 어느 쪽에 바이어스하는가는 전류전달특성의 변조가 현저하게 나타나는 쪽을 선택하면 좋다. 전하축적층(4a,4b)의 4가지의 축적상태에 따라 4개의 다른 전류전달특성이 얻어지고, 그에 따라 1개의 셀에서 2비트분의 정보를 기억할 수 있다.

다음에는 본 발명의 제10 실시형태에 따른 불휘발성 반도체 메모리의 메모리셀의 제조방법을 도 25a 내지 도 25i를 참조하여 설명한다. 먼저, 도 25a에 나타난 바와 같이, 채널영역(25)이 형성되는 영역 이외를 피복하는 포토레지스트 패턴(27)을, n형 반도체기판(19)상에 형성한다. 그리고, 도 25b에 나타난 바와 같이, 예컨대 RIE법에 의해 n형 반도체기판(19)을 에칭함으로써 단차(26)를 형성한다.

다음에, 도 25c에 나타난 바와 같이, n형 반도체기판(19) 전면에 전하축적능력이 작은 실리콘질화막을 퇴적하여 10nm 정도의 제1게이트절연막(13)을 형성한다. 전하축적능력이 작은 실리콘질화막의 퇴적은 예컨대 JVD법으로 행한다. 제1게이트절연막(13) 형성후, CVD법에 의해 실리콘산화막을 퇴적하여 5~10nm 정도의 제2게이트절연막(14)을 형성한다. 이어서, JVD법에 의해 전하축적능력이 작은 실리콘질화막을 퇴적하여 10nm 정도의 제3게이트절연막(15)을 형성한다.

다음에, 도 25d에 나타난 바와 같이, n형 반도체기판(19) 전면에 LPCVD법에 의해 n형 또는 p형 불순물을 도포한 50~250nm 정도의 다결정실리콘막을 퇴적한 후, 노광기술 및 에칭기술에 의해 패터닝하여 게이트전극(3)을 형성한다. 이어서, 게이트전극(3)을 마스크로 하여 소스영역 및 드레인영역을 형성하는 영역의 n형 반도체기판(19)의 표면의 제1게이트절연막(13), 제2게이트절연막(14) 및 제3게이트절연막(15)을 자기정합적으로 드라이 에칭한다.

다음에, 도 25e에 나타난 바와 같이, 전하축적층 형성을 위한 공간(17)을 형성한다. 이 공간(17)은 제1게이트절연막(13) 및 제3게이트절연막(15)보다도 제2게이트절연막(14)의 에칭속도가 큰 에칭액을 이용하여 제2게이트절연막(14)의 단부를 선택적으로 웨트 에칭함으로써 형성한다. 본 발명의 제10 실시형태에서는, 제1게이트절연막(13) 및 제3게이트절연막(15)을 실리콘질화막으로 구성하고, 제2게이트절연막(14)을 실리콘산화막으로 구성하고 있으므로, 에칭액으로는 예컨대 불산계를 이용하면 좋다. 또, 전하축적층 형성을 위한 공간(17)은, 에칭액을 이용한 웨트 에칭법 대신에 HF가스를 함유한 가스를 이용한 플라즈마 드라이 에칭법으로 형성해도 좋다.

다음에, 도 25f에 나타난 바와 같이, n형 반도체기판(19) 전면에 LPCVD법에 의해 전하축적능력이 높은 실리콘질화막(18)을 전하축적층 형성을 위한 공간(17)이 완전히 매립되도록 퇴적한다. 그리고, 도 25g에 나타난 바와 같이, n형 반도체기판(19) 전면에 대해 RIE에 의한 이방성 에칭을 행하여 전하축적능력이 높은 실리콘질화막으로 구성된 전하축적층(4a,4b)을 형성한다.

다음에, 도 25h에 나타난 바와 같이, n형 반도체기판(19) 전면에 산화막(16)을 형성한 후, 저불순물농도의 p⁻형 확산층(20)을 형성한다. p⁻형 확산층(20)은 이온주입기술에 의해 게이트전극(3)을 마스크로 하여 p형 불순물을 주입하고, 그 후의 열처리에 의해 주입한 불순물을 활성화함으로써 형성한다.

다음에, 도 25i에 나타난 바와 같이, 게이트전극(3)의 측벽에 측벽 스페이서(9)를 형성한 후, 고불순물농도의 p⁺형 확산층(21)을 형성한다. p⁺형 확산층(21)은 이온주입기술에 의해 게이트전극(3) 및 측벽 스페이서(9)를 마스크로 하여 p형 불순물을 주입하고, 그 후의 열처리에 의해 주입한 불순물을 활성화함으로써 형성한다.

다음에, n형 반도체기판(19)의 전면에 CVD법 또는 스퍼터법에 의해 텅스텐, 티탄, 코발트 등의 고용정금속막을 퇴적하고, 이어서 n형 반도체기판(19)을 불활성 분위기중에서 열처리함으로써 게이트전극(3) 및 p⁺형 확산층(21) 각각의 표면에 고용정금속실리사이드로 구성되는 도전층(12)을 형성한다. 도전층(12) 형성후, 상기 이외의 영역에 남은 미반응의 고용정금속을 제거하면, 도 23에 나타난 메모리셀 구조가 완성된다.

한편, 도시는 하지 않았지만, 도 23의 메모리셀 구조 완성후, 충전절연막 형성공정, 콘택트를 형성공정, 배선 형성공정, 패시베이션막 형성공정 등의 통상의 CMOS 제조공정을 순차 거쳐 최종적인 불휘발성 메모리셀이 완성된다.

이와 같이 본 발명의 제10 실시형태에서는, 전하축적층(4a,4b)을 게이트전극(3)의 양단의 아래쪽에 자기정합적으로 형성할 수 있다. 따라서, 셀 트랜지스터의 게이트길이 방향의 미세화가 가능하게 된다. 그에 따라, 대용량, 고밀도의 불휘발성 반도체 메모리를 제공할 수 있다. 또, 비트당의 셀면적은 종래와 비교하여 거의 반감되어 대폭적으로 축소된 불휘발성 반도체 메모리를 실현할 수 있다.

또, 전하축적층(4a,4b)의 채널길이 방향의 폭은 제1게이트절연막(13) 및 제3게이트절연막(15)과 제2게이트절연막(14)의 에칭속도차 및 에칭시간의 조절에 의해 용이하게 제어할 수 있다. 그에 따라, 전하축적층(4a,4b)을 대칭으로 배치할 수 있다. 그리고 전하축적층(4a,4b)은 제2게이트절연막(14)에 의해 전기적으로 완전히 분리되므로, 전하축적층(4a,4b)간의 상호작용은 일어나지 않는다. 더욱이, 전하축적층(4a,4b)은 소스영역, 드레인영역, 게이트전극(3) 및 채널영역으로부터는, 제1절연막(13), 제3절연막(15) 및 산화막(16)에 의해 완전히 절연되므로, 전하유지특성이 우수한 불휘발성 반도체 메모리를 제공할 수 있다. 전하축적층(4a,4b)은 게이트전극(3)의 단부로부터 채널영역 방향으로 연재하여 형성되고, 전하축적층(4a,4b) 중의 채널영역측의 부분의 전하축적상태에 따라 메모리셀의 전류전달특성을 거의 결정한다. 따라서, 이 부분의 게이트길이 방향의 길이를 한계까지 축소하면, 보다 미세한 불휘발성 반도체 메모리를 제공할 수 있다.

더욱이, 셀구조는 통상의 CMOS공정으로 용이하게 실현가능하므로, 기존의 제조라인을 사용하여 저비용으

로 불휘발성 반도체 메모리를 제조할 수 있다.

그리고, 본 발명의 제10실시형태에서는, 기록시의 전자주입효율을 향상시킬 수 있다. 이 때문에, 기록속도의 고속화, 기록시의 인가전압의 저감화를 도모할 수 있다.

제11실시형태

다음에는 본 발명의 제11실시형태에 대해 설명한다. 본 발명의 제11실시형태는, 상기의 제10실시형태에 있어서, 도 23의 전하축적층(4a)과 전하축적층(4b) 사이에 배치된 제2절연막(14)을 불필요하게 하고, 2개의 전하축적층(4a, 4b)을 일체화시킨 구성을 채용하고 있다. 도 26은 본 발명의 제11실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도이다. 도 26에 나타난 바와 같이, 이 메모리셀 구조는 상기의 제10실시형태의 전하축적층(4a, 4b) 및 제2절연막(14) 대신에 전하축적층(4f)을 배치한 것이다.

다음에는 본 발명의 제11실시형태에 따른 불휘발성 메모리의 메모리셀의 제조방법을 도 27a 내지 도 27f를 참조하여 설명한다. 상기 제10실시형태와 마찬가지로, 먼저 도 27a에 나타난 바와 같이, 채널영역(25)이 형성되는 영역 이외를 피복하는 포토레지스트 패턴(27)을, n형 반도체기판(19)상에 형성한다. 그리고, 도 27b에 나타난 바와 같이, 예컨대 RIE법에 의해 n형 반도체기판(19)을 에칭함으로써 단차(26)를 형성한다.

다음에, 도 27c에 나타난 바와 같이, n형 반도체기판(19) 전면에 전하축적능력이 작은 실리콘질화막을 퇴적하여 10nm 정도의 제1게이트절연막(13)을 형성한다. 전하축적능력이 작은 실리콘질화막의 퇴적은 예컨대 JVD법으로 행한다. 제1게이트절연막(13) 형성후, LPCVD법에 의해 전하축적능력이 높은 실리콘질화막(18)을 5~10nm 정도 형성한다. 이어서, JVD법에 의해 전하축적능력이 작은 실리콘질화막을 퇴적하여 10nm 정도의 제3게이트절연막(15)을 형성한다.

다음에, 도 27d에 나타난 바와 같이, n형 반도체기판(19) 전면에 LPCVD법에 의해 n형 또는 p형 불순물을 도포한 50~250nm 정도의 다결정실리콘막을 퇴적한 후, 노광기술 및 에칭기술에 의해 패터닝하여 게이트전극(3)을 형성한다. 이어서, 게이트전극(3)을 마스크로 하여 소스영역 및 드레인영역을 형성하는 영역의 n형 반도체기판(19)의 표면의 제1게이트절연막(13), 실리콘질화막(18) 및 제3게이트절연막(15)을 자기정합식으로 드라이 에칭한다. 여기서, 전하축적층(4f)이 형성된다.

다음에, 도 27e에 나타난 바와 같이, n형 반도체기판(19) 전면에 산화막(16)을 형성한 후, 저불순물농도의 p⁺형 확산층(20)을 형성한다. p⁺형 확산층(20)은 이온주입기술에 의해 게이트전극(3)을 마스크로 하여 p형 불순물을 주입하고, 그 후의 열처리에 의해 주입한 불순물을 활성화함으로써 형성한다.

다음에, 도 27f에 나타난 바와 같이, 게이트전극(3)의 측벽에 측벽 스페이서(9)를 형성한 후, 고불순물농도의 p⁺형 확산층(21)을 형성한다. p⁺형 확산층(21)은 이온주입기술에 의해 게이트전극(3) 및 측벽 스페이서(9)를 마스크로 하여 p형 불순물을 주입하고, 그 후의 열처리에 의해 주입한 불순물을 활성화함으로써 형성한다.

다음에, n형 반도체기판(19)의 전면에 CVD법 또는 스퍼터법에 의해 텅스텐, 티탄, 코발트 등의 고용점금속막을 퇴적하고, 이어서 n형 반도체기판(19)을 불활성 분위기중에서 열처리함으로써 게이트전극(3) 및 p⁺형 확산층(21) 각각의 표면에 고용점금속실리사이드로 구성되는 도전층(12)을 형성한다. 도전층(12) 형성후, 상기 이외의 영역에 남은 미반응의 고용점금속을 제거하면, 도 26에 나타난 메모리셀 구조가 완성된다.

한편, 도시는 하지 않았지만, 도 26의 메모리셀 구조 완성후, 충전절연막 형성공정, 콘택트층 형성공정, 배선 형성공정, 패시베이션막 형성공정 등의 통상의 CMOS 제조공정을 순차 거쳐 최종적인 불휘발성 메모리셀이 완성된다.

제12실시형태

다음에는 본 발명의 제12실시형태에 대해 설명한다. 도 28은 본 발명의 제12실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도이다. 상기 제10실시형태에서는 게이트전극(3)의 패터닝에 노광기술 및 에칭기술을 이용했지만, 이 제12실시형태에서는 게이트전극(3)의 패터닝에 화학적 기계적 연마법을 이용하는 예이다.

다음에는 본 발명의 제12실시형태에 따른 불휘발성 메모리의 메모리셀의 제조방법을 도 29a 내지 도 29i를 참조하여 설명한다. 먼저, 도 29a에 나타난 바와 같이, 채널영역(25)이 형성되는 영역 이외를 피복하는 포토레지스트 패턴(27)을, n형 반도체기판(19)상에 형성한다. 그리고, 도 29b에 나타난 바와 같이, 예컨대 RIE법에 의해 n형 반도체기판(19)을 에칭함으로써 단차(26)를 형성한다.

다음에, 도 29c에 나타난 바와 같이, n형 반도체기판(19) 전면에 전하축적능력이 작은 실리콘질화막을 퇴적하여 10nm 정도의 제1게이트절연막(13)을 형성한다. 전하축적능력이 작은 실리콘질화막의 퇴적은 예컨대 JVD법으로 행한다. 제1게이트절연막(13) 형성후, CVD법에 의해 실리콘산화막을 퇴적하여 5~10nm 정도의 제2게이트절연막(14)을 형성한다. 이어서, JVD법에 의해 전하축적능력이 작은 실리콘질화막을 퇴적하여 10nm 정도의 제3게이트절연막(15)을 형성한다. 더욱이, n형 반도체기판(19) 전면에 LPCVD법에 의해 n형 또는 p형 불순물을 도포한 50~500nm 정도의 다결정실리콘막(28)을 퇴적한다.

다음에, 도 29d에 나타난 바와 같이, 화학적 기계적 연마법에 의해 다결정실리콘막(28)의 매립을 행함으로써, 게이트전극(3)을 형성한다. 이때, 통상 n형 반도체기판(19)상에 잔존하는 제1게이트절연막(13), 제2게이트절연막(14) 및 제3게이트절연막(15)은, 예컨대 웨트 에칭에 의해 제거된다.

다음에, 도 29e에 나타난 바와 같이, 전하축적층 형성을 위한 공간(17)을 형성한다. 이 공간(17)은 제1게이트절연막(13) 및 제3게이트절연막(15)보다도 제2게이트절연막(14)의 에칭속도가 큰 에칭액을 이용하여 제2게이트절연막(14)의 단부를 선택적으로 웨트 에칭함으로써 형성한다. 본 발명의 제12실시형태에서는, 제1게이트절연막(13) 및 제3게이트절연막(15)을 실리콘질화막으로 구성하고, 제2게이트절연막(14)을 실리콘산화막으로 구성하고 있으므로, 에칭액으로서는 예컨대 불산계를 이용하면 좋다. 또, 전하축적층 형성을 위한

공간(17)은, 에칭액을 이용한 웨트 에칭법 대신에 HF가스를 함유한 가스를 이용한 플라즈마 드라이 에칭법으로 형성해도 좋다.

다음에, 도 29f에 나타난 바와 같이, n형 반도체기판(19) 전면에 LPCVD법에 의해 전하축적능력이 높은 실리콘질화막(18)을 전하축적층 형성을 위한 공간(17)이 완전히 매립되도록 퇴적한다. 그리고, 도 29g에 나타난 바와 같이, n형 반도체기판(19) 전면에 대해 RIE에 의한 이방성 에칭을 행하여 전하축적능력이 높은 실리콘질화막으로 구성된 전하축적층(4a, 4b)을 형성한다.

다음에, 도 29h에 나타난 바와 같이, n형 반도체기판(19) 전면에 산화막(16)을 형성한 후, 저불순물농도의 p형 확산층(20)을 형성한다. p형 확산층(20)은 이온주입기술에 의해 게이트전극(3)을 마스크로 하여 p형 불순물을 주입하고, 그 후의 열처리에 의해 주입한 불순물을 활성화함으로써 형성한다.

다음에, 도 29i에 나타난 바와 같이, 게이트전극(3)의 측벽에 측벽 스페이서(9)를 형성한 후, 고불순물농도의 p⁺형 확산층(21)을 형성한다. p⁺형 확산층(21)은 이온주입기술에 의해 게이트전극(3) 및 측벽 스페이서(9)를 마스크로 하여 p형 불순물을 주입하고, 그 후의 열처리에 의해 주입한 불순물을 활성화함으로써 형성한다.

다음에, n형 반도체기판(19)의 전면에 CVD법 또는 스퍼터법에 의해 텅스텐, 티탄, 코발트 등의 고용점금속막을 퇴적하고, 이어서 n형 반도체기판(19)을 불활성 분위기중에서 열처리함으로써 게이트전극(3) 및 p⁺형 확산층(21) 각각의 표면에 고용점금속실리사이드로 구성되는 도전층(12)을 형성한다. 도전층(12) 형성후, 상기 이외의 영역에 남은 미반응의 고용점금속을 제거하면, 도 28에 나타난 메모리셀 구조가 완성된다.

한편, 도시는 하지 않았지만, 도 28의 메모리셀 구조 완성후, 층간절연막 형성공정, 콘택트홀 형성공정, 배선 형성공정, 패시베이션막 형성공정 등의 통상의 CMOS 제조공정을 순차 거쳐 최종적인 불휘발성 메모리셀이 완성된다.

제13실시형태

다음에는 본 발명의 제13실시형태에 대해 설명한다. 상기의 제1 내지 제12실시형태에서는, 메모리셀 이외의 트랜지스터의 고속화에 대한 충분한 검토는 이루어지고 있지 않았다. 한편, 고속 CMOS 트랜지스터의 구조로서, 게이트전극과 소스·드레인확산층 사이에 요(凹)상태의 노치를 형성함으로써 게이트전극과 확산층 사이의 용량을 저감하여 논리게이트를 고속화하는 시도가 이루어지고 있다(T. Ghani et al., IDRM99, p.415). 이 제13실시형태는, 이 구조를 불휘발성 반도체 메모리에 이용함으로써, 메모리기능을 갖지 않는 통상의 트랜지스터와 불휘발성 반도체 메모리를 혼재하는 반도체장치의 대폭적인 고속화를 가능하게 하는 것이다.

도 30은 본 발명의 제13실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도이다. 이 메모리셀은 n형 MOS 트랜지스터로 구성된다. 본 발명의 제13실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조에서는, p형 반도체기판(1)의 표면에 제1게이트절연막(13)을 매개해서 게이트전극(3)이 설치된다. 게이트전극(3)의 양단에는 요부가 설치되고, 각 요부내에는 전하축적층(4; 4a, 4b)이 형성된다. 전하축적층(4)과 게이트전극(3)의 사이에는 산화막(30)이 형성되어 있다. 게이트전극(3)의 측면에는 산화막(16)을 매개해서 측벽 스페이서(9)가 설치되고, 이 측벽 스페이서(9)의 하부의 p형 반도체기판(1)의 주면에는 채널영역에 접하는 저불순물농도의 n⁻형 확산층(10)과, 이 n⁻형 확산층(10)의 외측에 위치하는 고불순물농도의 n⁺형 확산층(11)이 설치된다. 제1게이트전극(3) 및 n⁺형 확산층(11) 각각의 표면에는 도전층(12)이 설치된다.

본 발명의 제13실시형태에 따른 불휘발성 메모리의 메모리셀은, 소스영역 및 드레인영역을 저불순물농도의 n⁻형 확산층(10)과 고불순물농도의 n⁺형 확산층(11)으로 구성된 LDD구조를 갖추고 있다. 그리고, 게이트전극(3)의 양단면에는 전하축적층(4; 4a, 4b)이 형성된다. 이 2개의 전하축적층(4a, 4b)에 전자를 축적하고, 그 축적상태는 (1) 전하축적층(4a, 4b)이 모두 전자를 축적하고 있지 않은 상태, (2) 전하축적층(4a)만이 전자를 축적하고 있는 상태, (3) 전하축적층(4b)만이 전자를 축적하고 있는 상태, (4) 전하축적층(4a, 4b)이 모두 전자를 축적하고 있는 상태의 4가지의 상태를 취할 수 있다. 이 2개의 전하축적층(4a, 4b)에 유지된 전자의 유무에 따라 생기는 임계치전압의 변화분을 기억정보의 "00", "01", "10", "11"에 대응시킨다. 또, 이 메모리셀 구조에서는 전하축적층(4)은 채널영역 단부의 위쪽에 위치하므로, 채널영역 중앙부의 임계치전압은 채널영역의 불순물농도만으로 결정되고, 전하축적층(4)의 전자의 축적상태에 의존하지 않는다. 따라서, 전하축적층(4)의 전자의 과부족에 의한 과소거는 방지되고, 그에 따라 과소거에 기인하는 누설불량, 프로그램불량, 독출불량 등이 생길 수 없다. 또, 소스영역과 드레인영역간의 누설전류는 게이트전압만으로 억제할 수 있어 고신뢰성의 불휘발성 메모리를 실현할 수 있다. 전하축적층(4)은 CVD법에 의한 전하축적능력이 높은 실리콘질화막으로 구성하면 좋다. 실리콘질화막의 이산적인 전하포획준위에 전자를 축적함으로써, 하루 절연막의 막질에 영향을 받기 어려운 전하유지특성을 얻을 수 있기 때문이다. 또, 실리콘막, 다결정실리콘막으로 구성하면 저가로 제조할 수 있다. 더욱이, 제1게이트절연막(13)을 실리콘산화막(SiO₂막)의 2배 정도의 유전율을 갖는 실리콘질화막(Si₃N₄막)으로 구성하면, 실리콘산화막 환산 막두께가 4nm~11nm 정도의 대단히 얇은 게이트절연막을 안정하게 실현할 수 있다. 예컨대 실리콘산화막 환산 막두께가 5nm의 실리콘질화막의 실질막두께는 10nm 정도이므로, 직접터널(DT)주입도 유기되지 않는다. 따라서, 전자의 주입·추출동작시의 전압이 저전압화되어 메모리셀의 미세화뿐만 아니라 주변 고전압 동작소자의 미세화도 가능하게 된다.

본 발명의 제13실시형태에 따른 불휘발성 메모리의 메모리셀에서는, 소스영역 및 드레인영역의 내압 향상의 목적으로 n⁻형 확산층(10)을 설치하여 LDD구조를 구성하고 있지만, 싱글 드레인구조, 더블 드레인구조로 소스영역 및 드레인영역을 구성해도 좋다.

다음에는 본 발명의 제13실시형태에 따른 불휘발성 메모리의 동작에 대해 도 31a 및 도 31b를 참조하여 설명한다. 도 31a는 기록동작을 설명하는 불휘발성 메모리의 단면도이다. 도 31b는 소거동작을 설명하는 불

휘발성 메모리의 단면도이다. 도 31a 및 도 31b의 메모리셀은 n형 MOS 트랜지스터로 구성된다. 도 31a에 나타난 바와 같이, 메모리셀의 기록시에는, 게이트(G)에 6~8V 정도, 드레인(D)에 4~5V 정도를 각각 인가하고, 소스(S)를 접지한다. 이와 같이 전압을 인가하고, 채널열전자(CHE)로 전자를 드레인영역측의 전하축적층(4b)에 주입한다. 소스영역측의 전하축적층(4a)에 전자를 주입하는 경우에는, 드레인(D), 소스(S) 각각에 인가하는 전압을 상기와 바꾸면 좋다. 한편, 메모리셀의 소거는 도 31b에 나타난 바와 같이 게이트(G)에 부전압($\sim -5V$)을 인가하고, 파울러 노드하임(FN)형 터널전류를 이용하여 전하축적층(4a, 4b)으로부터 전자를 방출함으로써 행해진다. 또, 게이트(G)가 복수의 메모리셀에서 공유되고 있는 경우에는, 이들 메모리셀로부터 동시에 전자를 방출할 수 있다. 이 경우, 소스(S), 드레인(D)은 p형 반도체기판(1)과 동전위로 하면 좋다. 또, p형 반도체기판(1)의 전위와는 다른 정전압을 드레인전극에 인가하고, 소스전극을 부유전위로 하면, 드레인전극측의 전하축적층(4b)만으로부터 전자를 방출하는 것도 가능하다. 소스전극측의 전하축적층(4a)만으로부터 전자를 방출하는 경우에는 소스전극에 정전압을 인가하고, 드레인전극을 부유전위로 하면 좋다.

또, 도시는 하지 않았지만, 메모리셀의 독출은 소스(S)와 드레인(D) 사이를 흐르는 독출전류를 검지함으로써 행해진다. 전하축적층(4a, 4b)의 축적상태에 따라 소스영역, 드레인영역 근방의 전류전달특성(채널 콘덕턴스)이 변조되는 것을 이용하는 것이다. 소스(S), 드레인(D)의 어느 쪽에 바이어스하는가는 전류전달특성의 변조가 현저하게 나타나는 쪽을 선택하면 좋다. 전하축적층(4a, 4b)의 4가지의 축적상태에 따라 4개의 다른 전류전달특성이 얻어지고, 그에 따라 1개의 셀에서 2비트분의 정보를 기억할 수 있다.

다음에는 p형 MOS 트랜지스터로 구성되는 본 발명의 제13실시형태에 따른 불휘발성 메모리의 동작에 대해서 도 32a 및 도 32b를 참조하여 설명한다. 도 32a는 기록동작을 설명하는 불휘발성 메모리의 단면도이다. 도 32b는 소거동작을 설명하는 불휘발성 메모리의 단면도이다. 도 32a 및 도 32b의 메모리셀은 p형 MOS 트랜지스터로 구성된다. 도 32a에 나타난 바와 같이, 메모리셀의 기록시에는, 게이트(G)에 5V 정도, 드레인(D)에 $-5V$ 정도를 각각 인가하고, 소스(S)를 부유전위로 한다. 이와 같이 전압을 인가하고, 밴드간 터널현상 기인 전자에 드레인영역 근방의 전계로 에너지를 공급하여 드레인영역측의 전하축적층(4b)에 전자를 주입한다. 소스영역측의 전하축적층(4a)에 전자를 주입하는 경우에는, 드레인(D), 소스(S) 각각에 인가하는 전압을 상기와 바꾸면 좋다. 한편, 메모리셀의 소거는 도 32b에 나타난 바와 같이 게이트(G)에 부전압($\sim -5V$)을 인가하고, FN전류를 이용하여 전하축적층(4a, 4b)으로부터 전자를 방출함으로써 행해진다. 또, 게이트(G)가 복수의 메모리셀에서 공유되고 있는 경우에는, 이들 메모리셀로부터 동시에 전자를 방출할 수 있다. 이 경우, 소스(S), 드레인(D)은 n형 반도체기판(19)과 동전위 혹은 부유전위로 한다.

또, 도시는 하지 않았지만, 메모리셀의 독출은 소스(S)와 드레인(D) 사이를 흐르는 독출전류를 검지함으로써 행해진다. 전하축적층(4a, 4b)의 축적상태에 따라 소스영역, 드레인영역 근방의 전류전달특성(채널 콘덕턴스)이 변조되는 것을 이용하는 것이다. 소스(S), 드레인(D)의 어느 쪽에 바이어스하는가는 전류전달특성의 변조가 현저하게 나타나는 쪽을 선택하면 좋다. 전하축적층(4a, 4b)의 4가지의 축적상태에 따라 4개의 다른 전류전달특성이 얻어지고, 그에 따라 1개의 셀에서 2비트분의 정보를 기억할 수 있다.

본 발명의 제13실시형태에서는, 도 33에 나타난 바와 같이 메모리기능을 갖지 않는 통상의 MOS 트랜지스터도 실현가능하다. 왜냐하면, 이 MOS 트랜지스터에서는, 전하축적층(4)은 소스·드레인영역(10, 11)상에만 배치되고, 채널영역상에는 배치되어 있지 않다. 이 때문에, 이 MOS 트랜지스터의 전도특성은, 전하축적층(4)의 전하의 유지상태에 하등 영향을 받는 일은 없기 때문이다. 더욱이, 게이트전극(3)의 요부의 존재에 따라 게이트-소스·드레인간의 기생용량이 저감되어 MOS 트랜지스터의 고속동작이 가능하게 된다고 하는 유리한 점도 지니고 있다.

제14실시형태

다음에는 본 발명의 제14실시형태에 대해 설명한다. 이 제14실시형태는, 상기 제13실시형태에 있어서, 전하축적층(4)과 측벽 스페이서(9)를 일체화시킨 구성으로 되어 있다. 도 34는 본 발명의 제14실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조를 나타낸 단면도이다. 이 메모리셀은 n형 MOS 트랜지스터로 구성된다. 본 발명의 제14실시형태에 따른 불휘발성 반도체 메모리의 메모리셀 구조에서는, p형 반도체기판(1)의 표면에 제1게이트절연막(13)을 매개해서 게이트전극(3)이 설치된다. 게이트전극(3)의 양단에는 요부가 설치되고, 각 요부내에는 전하축적층(4; 4a, 4b)이 형성된다. 전하축적층(4)과 게이트전극(3)의 사이에는 산화막(30)이 형성되어 있다. 게이트전극(3)의 측면에는 산화막(16)을 매개해서 측벽 스페이서(9)가 설치되고, 이 측벽 스페이서(9)의 일부가 전하축적층(4)을 구성한다. 측벽 스페이서(9)의 하부의 p형 반도체기판(1)의 주면에는 채널영역에 접하는 저불순물농도의 n⁻형 확산층(10)과, 이 n⁻형 확산층(10)의 외측에 위치하는 고불순물농도의 n⁺형 확산층(11)이 설치된다. 제1게이트전극(3) 및 n⁺형 확산층(11) 각각의 표면에는 도전층(12)이 설치된다.

본 발명의 제14실시형태에서는, 측벽 스페이서(9) 및 전하축적층(4)은 CVD법에 의한 전하축적능력이 높은 실리콘질화막으로 구성하면 좋다. 실리콘질화막의 이산적인 전하포획준위에 전자를 축적함으로써, 하부 절연막의 막질에 영향을 받기 어려운 전하유지특성을 얻을 수 있기 때문이다. 또, 실리콘막, 다결정실리콘막으로 구성하면 저가로 제조할 수 있다.

본 발명의 제14실시형태에서는, 상기의 제13실시형태와 마찬가지로, 도 35에 나타난 바와 같은 통상의 MOS 트랜지스터도 실현할 수 있다.

그 외, 본 발명은 상술한 각 실시형태에 한정되지 않고, 그 요지를 이탈하지 않는 범위내에서 여러 가지로 변형하여 실시할 수 있다.

발명의 효과

본 발명에 의하면, 간단한 셀구조로 복수 비트분의 정보를 기억할 수 있는 불휘발성 반도체기억장치의 구조를 제공할 수 있다.

또, 본 발명에 의하면, 간단한 제조프로세스로 복수 비트분의 정보를 기억하는 불휘발성 반도체기억장치를 제조하는 불휘발성 반도체기억장치의 제조방법을 제공할 수 있다.

또, 본 발명에 의하면, 간단한 제조프로세스로 전기적으로 기록·소거가능한 불휘발성 메모리와 고속 기록·독출가능한 휘발성 메모리를 혼재한 반도체기억장치의 제조를 제공할 수 있다.

또, 본 발명에 의하면, 간단한 제조프로세스로 전기적으로 기록·소거가능한 불휘발성 메모리와 고속 기록·독출가능한 휘발성 메모리를 혼재한 반도체기억장치의 제조방법을 제공할 수 있다.

(57) 청구의 범위

청구항 1. (a) 반도체기판의 주면상에 게이트절연막을 매개해서 배치된 제1게이트전극과,

(b) 이 제1게이트전극의 측면상에 배치된 전하축적층,

(c) 상기 제1게이트전극의 측면상에 상기 전하축적층을 매개해서 배치된 제2게이트전극 및,

(d) 상기 제1게이트전극과 상기 제2게이트전극을 전기적으로 접속하는 도전층을 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 2. 제1항에 있어서, 상기 전하축적층은 실리콘산화막과 실리콘질화막의 적층으로 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 3. 제1항에 있어서, 상기 전하축적층은, 제1실리콘산화막, 실리콘질화막 및 제2실리콘산화막의 3층으로 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 4. (a) 반도체기판의 주면상에 게이트절연막을 매개해서 제1게이트전극을 형성하는 공정과,

(b) 상기 제1게이트전극의 측면상에 전하축적층 및 제2게이트전극을 순차 형성하는 공정 및,

(c) 상기 제1게이트전극과 상기 제2게이트전극을 전기적으로 접속하는 도전층을 형성하는 공정을 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치의 제조방법.

청구항 5. (a) 반도체기판의 주면상에 배치된 제1, 제2 및 제3절연막으로 이루어진 게이트절연막과,

(b) 상기 제2절연막의 단부에 배치된 전하축적층 및,

(c) 상기 게이트절연막상에 배치된 게이트전극을 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 6. 제5항에 있어서, 상기 전하축적층은 실리콘질화막으로 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 7. 제5항에 있어서, 상기 제1 및 제3절연막의 에칭속도와 상기 제2절연막의 에칭속도가 다른 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 8. (a) 반도체기판의 주면상에 제1, 제2 및 제3절연막을 순차 형성하고, 이들 제1, 제2 및 제3절연막으로 이루어진 게이트절연막을 형성하는 공정과,

(b) 이 게이트절연막의 상부에 게이트전극 구성재료를 퇴적한 후, 이 게이트전극 구성재료 및 게이트절연막을 패터닝함으로써 게이트전극을 형성하는 공정,

(c) 상기 제2절연막의 단부를 선택적으로 제거하여 공간을 형성하는 공정 및,

(d) 그 공간에 전하축적층을 형성하는 공정을 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치의 제조방법.

청구항 9. 제8항에 있어서, 상기 공간형성공정은, 상기 제1 및 제3절연막과 상기 제2절연막의 에칭속도차를 이용하여 상기 제2절연막만을 선택적으로 에칭하는 공정을 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치의 제조방법.

청구항 10. 제8항에 있어서, 상기 전하축적층 형성공정은, 상기 게이트전극을 피복하도록 전하축적층 구성재료를 퇴적하는 공정과, 이 전하축적층 구성재료를 이방성 에칭하는 공정을 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치의 제조방법.

청구항 11. (a) 불휘발성 반도체기억장치로, (i) 반도체기판의 주면상에 배치된 제1하부절연막과, (ii) 이 제1하부절연막의 중앙의 상부에 배치된 제1중간절연막, (iii) 상기 제1하부절연막의 단부의 상부에 배치된 제1전하축적층, (iv) 상기 제1중간절연막 및 제1전하축적층의 상부에 배치된 제1상부절연막 및, (v) 이 제1상부절연막의 상부에 배치된 제1게이트전극을 포함하는 불휘발성 반도체기억장치와,

(b) 휘발성 반도체기억장치로, (i) 상기 반도체기판의 주면상에 배치된 상기 제1중간절연막과 동일 재료로 이루어진 제2하부절연막과, (ii) 상기 반도체기판의 주면상에 또한 상기 제2하부절연막의 양단에 배치된 극박(極薄)절연막, (iii) 이 극박절연막의 상부에 배치된 상기 제1전하축적층과 동일 재료로 이루어진 제2전하축적층, (iv) 상기 제2하부절연막 및 제2전하축적층의 상부에 배치된 상기 제1상부절연막과 동일 재료로 이루어진 제2상부절연막 및, (v) 이 제2상부절연막의 상부에 배치된 제2게이트전극을 포함하는 휘발성 반도체기억장치를 구비하는 것을 특징으로 하는 반도체기억장치.

청구항 12. 제11항에 있어서, 상기 제1하부절연막 및 제1상부절연막의 에칭속도와 상기 제1중간절연막의 에칭속도가 다르고, 상기 제2하부절연막의 에칭속도와 상기 제2상부절연막의 에칭속도가 다른 것을 특징으로 하는 반도체기억장치.

청구항 13. 제11항에 있어서, 상기 제1 및 제2전하축적층은 실리콘질화막으로 이루어진 것을 특징으로 하는 반도체기억장치.

청구항 14. 제11항에 있어서, 상기 극박절연막은 직접 터널링현상을 생기(生起)가능한 막두께를 갖는 것을 특징으로 하는 반도체기억장치.

청구항 15. (a) 불휘발성 반도체기억장치로, (i) 반도체기판의 주면상에 배치된 제1하부절연막과, (ii) 이 제1하부절연막의 중앙의 상부에 배치된 제1중간절연막, (iii) 상기 제1하부절연막의 단부의 상부에 배치된 제1전하축적층, (iv) 상기 제1중간절연막 및 제1전하축적층의 상부에 배치된 제1상부절연막 및, (v) 이 제1상부절연막의 상부에 배치된 제1게이트전극을 포함하는 불휘발성 반도체기억장치와,

(b) 휘발성 반도체기억장치로, (i) 상기 반도체기판의 주면상에 배치된 극박절연막과, (ii) 이 극박절연막상에 배치된 상기 제1전하축적층과 동일 재료로 이루어진 제2전하축적층, (iii) 이 제2전하축적층상에 배치된 제2상부절연막 및, (iv) 이 제2상부절연막상에 배치된 제2게이트전극을 포함하는 휘발성 반도체기억장치를 구비하는 것을 특징으로 하는 반도체기억장치.

청구항 16. 제15항에 있어서, 상기 제1하부절연막 및 제1상부절연막의 에칭속도와 상기 제1중간절연막의 에칭속도가 다른 것을 특징으로 하는 반도체기억장치.

청구항 17. 제15항에 있어서, 상기 제1 및 제2전하축적층은 실리콘질화막으로 이루어진 것을 특징으로 하는 반도체기억장치.

청구항 18. 제15항에 있어서, 상기 극박절연막은 직접 터널링현상을 생기가능한 막두께를 갖는 것을 특징으로 하는 반도체기억장치.

청구항 19. (a) 반도체기판의 주면상에 배치된 하부절연막과,

(b) 상기 반도체기판의 주면상에 또한 상기 하부절연막의 양단에 배치된 극박절연막,

(c) 이 극박절연막의 상부에 배치된 전하축적층,

(d) 상기 하부절연막 및 전하축적층의 상부에 배치된 상부절연막 및,

(e) 이 상부절연막의 상부에 배치된 게이트전극을 포함하는 것을 특징으로 하는 휘발성 반도체기억장치.

청구항 20. (a) 반도체기판의 주면상에 배치된 극박절연막과,

(b) 이 극박절연막상에 배치된 전하축적층,

(c) 이 전하축적층상에 배치된 상부절연막 및,

(d) 이 상부절연막상에 배치된 게이트전극을 포함하는 것을 특징으로 하는 휘발성 반도체기억장치.

청구항 21. (a) 반도체기판의 주면상의 일부에 제1절연막을 형성하는 공정과,

(b) 이 제1절연막의 상부 및 상기 반도체기판의 주면의 일부 이외에 제2 및 제3절연막을 순차 형성하는 공정,

(c) 이 제3절연막의 상부에 게이트전극 구성재료를 퇴적하는 공정,

(d) 이 게이트전극 구성재료, 상기 제3절연막, 상기 제2절연막 및 상기 제1절연막을 패터닝함으로써 제1게이트전극을 형성하는 공정,

(e) 상기 게이트전극 구성재료, 상기 제3절연막 및 상기 제2절연막을 패터닝함으로써 제2게이트전극 구성재료를 형성하는 공정,

(f) 상기 제1 및 제2게이트전극의 양쪽의 제2절연막의 단부를 선택적으로 제거하여 공간을 형성하는 공정 및,

(g) 그 공간에 전하축적층을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 22. 제21항에 있어서, 상기 공간형성공정은, 상기 제1 및 제3절연막과 상기 제2절연막의 에칭속도차를 이용하여 상기 제2절연막만을 선택적으로 에칭하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 23. 제21항에 있어서, 상기 전하축적층 형성공정은, 상기 제1 및 제2게이트전극을 피복하도록 전하축적층 구성재료를 퇴적하는 공정과, 이 전하축적층 구성재료를 이방성 에칭하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 24. (a) 반도체기판의 주면상에 제1, 제2 및 제3절연막을 순차 형성하는 공정과,

(b) 상기 제3절연막의 상부에 제1게이트전극 구성재료를 퇴적한 후, 이 제1게이트전극 구성재료, 상기 제3절연막, 상기 제2절연막 및 상기 제1절연막을 패터닝함으로써 제1게이트전극을 형성하는 공정,

(c) 상기 제1게이트전극 형성공정과 동시에 행해지는 공정으로, 상기 반도체기판의 주면의 일부에 상기 게이트전극 구성재료, 상기 제3절연막 및 상기 제2절연막 및 상기 제1절연막을 제거함으로써 제2게이트전극 형성영역을 형성하는 공정,

(d) 상기 제1게이트전극의 제2절연막의 단부를 선택적으로 제거하여 공간을 형성하는 공정,

(e) 상기 반도체기판의 주면상에 극박절연막을 형성하는 공정,

(f) 상기 반도체기판의 주면상에 전하축적층을 구성하는 재료를 퇴적한 후, 이 전하축적층 구성재료를 이방

성 에칭함으로써 상기 제1게이트전극의 공간에 전하축적층을 형성하는 공정 및,

(g) 상기 반도체기판의 주면상에 제4절연막 및 제2게이트전극 구성재료를 퇴적한 후, 이 제2게이트전극 구성재료를, 상기 제4절연막, 상기 전하축적층 구성재료 및 극박절연막을 패터닝함으로써 제2게이트전극을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체기억장치의 제조방법.

청구항 25. (a) 반도체기판의 주면상에 배치된 철(凸)부와,

(b) 이 철부를 포함하는 상기 반도체기판의 주면상에 배치된 제1, 제2 및 제3절연막으로 이루어진 게이트절연막,

(c) 상기 제2절연막의 단부에 배치된 전하축적층 및,

(d) 상기 게이트절연막상에 배치된 게이트전극을 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 26. 제25항에 있어서, 상기 전하축적층은 실리콘질화막으로 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 27. 제25항에 있어서, 상기 제1 및 제3절연막의 에칭속도와 상기 제2절연막의 에칭속도가 다른 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 28. (a) 반도체기판의 주면상에 철부를 형성하는 공정과,

(b) 이 철부를 포함하는 상기 반도체기판의 주면상에 제1, 제2 및 제3절연막을 순차 형성하고, 이들 제1, 제2 및 제3절연막으로 이루어진 게이트절연막을 형성하는 공정,

(c) 이 게이트절연막의 상부에 게이트전극 구성재료를 퇴적한 후, 이 게이트전극 구성재료 및 게이트절연막을 패터닝함으로써 게이트전극을 형성하는 공정,

(d) 상기 제2절연막의 단부를 선택적으로 제거하여 공간을 형성하는 공정 및,

(e) 그 공간에 전하축적층을 형성하는 공정을 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치의 제조방법.

청구항 29. 제28항에 있어서, 상기 공간형성공정은, 상기 제1 및 제3절연막과 상기 제2절연막의 에칭속도차를 이용하여 상기 제2절연막만을 선택적으로 에칭하는 공정을 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치의 제조방법.

청구항 30. 제28항에 있어서, 상기 전하축적층 형성공정은, 상기 게이트전극을 피복하도록 전하축적층 구성재료를 퇴적하는 공정과, 이 전하축적층 구성재료를 이방성 에칭하는 공정을 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치의 제조방법.

청구항 31. (a) 반도체기판의 주면상에 배치된 철부와,

(b) 이 철부를 포함하는 상기 반도체기판의 주면상에 배치된 제1 및 제2절연막으로 이루어진 게이트절연막,

(c) 상기 제1 및 제2절연막의 사이에 배치된 전하축적층 및,

(d) 상기 게이트절연막상에 배치된 게이트전극을 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 32. 제31항에 있어서, 상기 전하축적층은 실리콘질화막으로 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 33. (a) 반도체기판의 주면상에 철부를 형성하는 공정과,

(b) 이 철부를 포함하는 상기 반도체기판의 주면상에 제1절연막, 전하축적층 구성재료 및 제3절연막을 순차 형성하는 공정 및,

(c) 상기 제1절연막, 전하축적층 구성재료 및 제3절연막을 패터닝함으로써 게이트전극을 형성하는 공정을 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치의 제조방법.

청구항 34. (a) 반도체기판의 주면상에 배치된 요부와,

(b) 이 요부를 포함하는 상기 반도체기판의 주면상에 배치된 제1, 제2 및 제3절연막으로 이루어진 게이트절연막,

(c) 상기 제2절연막의 단부에 배치된 전하축적층 및,

(d) 상기 게이트절연막상에 배치된 게이트전극을 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 35. 제34항에 있어서, 상기 전하축적층은 실리콘질화막으로 이루어진 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 36. 제34항에 있어서, 상기 제1 및 제3절연막의 에칭속도와 상기 제2절연막의 에칭속도가 다른 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 37. (a) 반도체기판의 주면상에 요부를 형성하는 공정과,

(b) 이 요부를 포함하는 상기 반도체기판의 주면상에 제1, 제2 및 제3절연막을 순차 형성하고, 이들 제1, 제2 및 제3절연막으로 이루어진 게이트절연막을 형성하는 공정,

(c) 이 게이트절연막의 상부에 게이트전극 구성재료를 퇴적한 후, 이 게이트전극 구성재료 및 게이트절연막을 패터닝함으로써 게이트전극을 형성하는 공정.

(d) 상기 제2절연막의 단부를 선택적으로 제거하여 공간을 형성하는 공정 및,

(e) □ 공간에 전하를 적층할 때, 양전하를 양전하를 포함하게 것을 특징으로 하는 반도체기억장치의 제조 방법.

청구항 38. 제37항에 있어서, 상기 공간형성공정은, 상기 제1 및 제3절연막과 상기 제2절연막의 에칭 속도 차를 이용하여 상기 제2절연막만을 선택적으로 에칭하는 공정을 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치의 제조방법.

청구항 39. 제37항에 있어서, 상기 전하축적층 형성공정은, 상기 게이트전극을 피복하도록 전하축적층 구성재료를 퇴적하는 공정과, 이 전하축적층 구성재료를 이방성 에칭하는 공정을 포함하는 것을 특징으로 하는 풀 휘발성 반도체기억장치의 제조방법.

청구항 40. (a) 반도체기판의 주면상에 배치된 요부와,

(b) 이 요부를 포함하는 상기 반도체기판의 주연상에 배치된 제1 및 제2절연막으로 이루어진 게이트절연막,

(c) 상기 제1 및 제2절연막의 사이에 배치된 전하축적층 및.

(d) 상기 게이트절연막상에 배치된 게이트전극을 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치.

청구항 41. (a) 반도체기판의 주면상에 요부를 형성하는 공정과,

(b) 이 요부를 포함하는 상기 반도체기판의 주연상에 제1절연막, 전하축적층 구성재료 및 제3절연막을 순차 형성하는 공정 및,

(c) 상기 제1절연막, 전하축적층 구성재료 및 제3절연막을 패터닝함으로써 게이트전극을 형성하는 공정을 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치의 제조방법.

청구항 42. (a) 반도체기판의 주면상에 요부를 형성하는 공정과,

(b) 이 요부를 포함하는 상기 반도체기판의 주연상에 제1, 제2 및 제3절연막을 순차 형성하고, 이들 제1, 제2 및 제3절연막으로 이루어진 게이트절연막을 형성하는 공정.

(c) 이 게이트절연막의 상부에 게이트전극 구성재료를 퇴적한 후, 이 게이트전극 구성재료를 화학적 기계적 연마방법으로 제거함으로써 상기 요부에 매립된 게이트전극을 형성하는 공정.

(d) 상기 제2절연막의 단부를 선택적으로 제거하여 공간을 형성하는 공정 및,

(e) 그 공간에 전하를 띤 물질을 놓았을 때의 전장을 구할 수 있는 것을 특징으로 하는 불휘발성 반도체기억장치의 제조 방법.

청구항 43. (a) 반도체기판의 주연상에 요부를 형성하는 공정과,

(b) 이 요부를 포함하는 상기 반도체기판의 주면상에 제1절연막, 전하축적층 구성재료 및 제3절연막을 순차적으로 형성하는 방법;

(c) 이 제3절연막의 상부에 게이트전극 구성재료를 퇴적한 후, 이 게이트전극 구성재료를 화학적 기계적 연마방법으로 제거함으로써 상기 요부에 매립된 게이트전극을 형성하는 공정을 포함하는 것을 특징으로 하는 불휘발성 반도체기억장치의 제조방법.

청구항 44. (a) 반도체기판의 주면상에 게이트절연막을 매개해서 배치된 게이트전극과,

(b) 이 게이트전극의 단부에 배치된 요부 및,

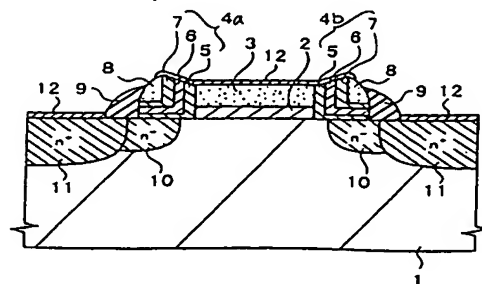
(c) 이 요부에 절연막을 매개해서 배치된 전하축적층을 포함하고,

상기 전하축적층은 채널영역 및 소스·드레인영역의 양쪽의 상부에 배치되는 것을 특징으로 하는 불휘발성 반도체기억장치.

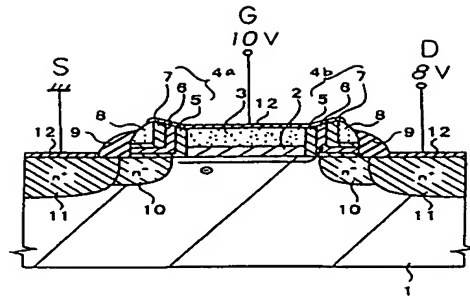
정구항 45. 제44항에 있어서, 상기 전하축조형은 상기 게이트전극의 측면에 배치되는 측면과 일체화되어 있는 것을 특징으로 하는 풀취발성 반도체기억장치.

50

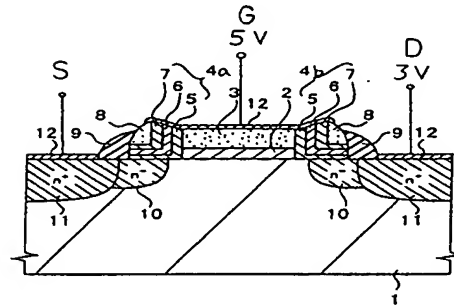
도면 1



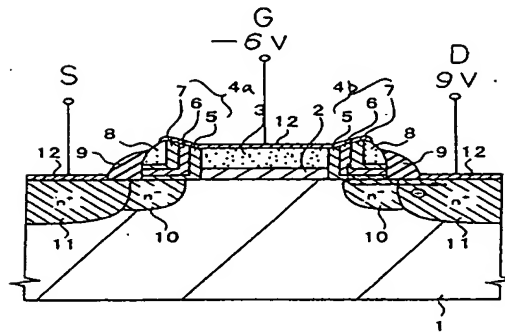
도면2a



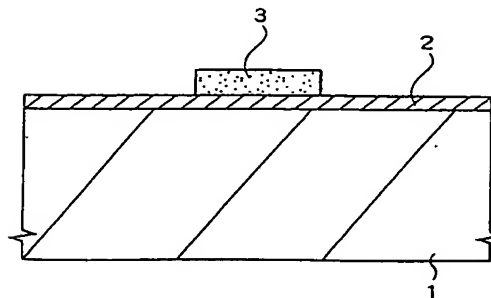
도면2b



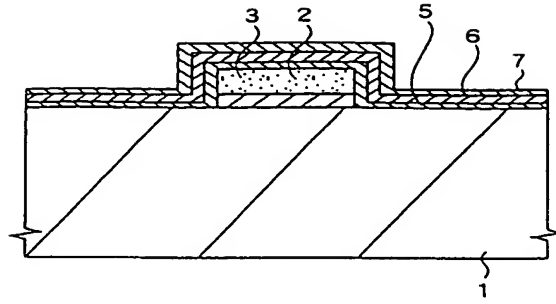
도면2c



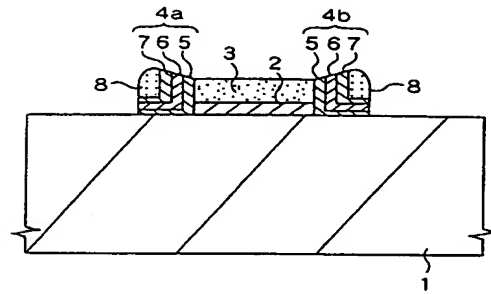
도면3a



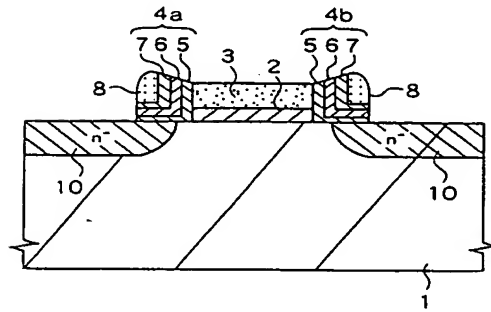
도면3b



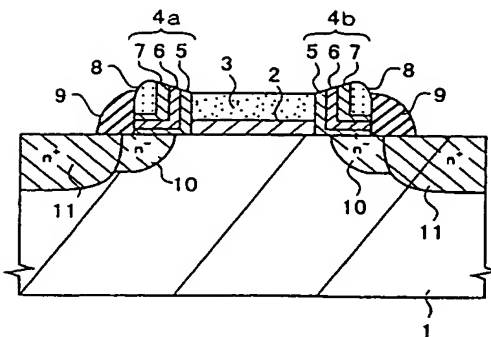
도면3c



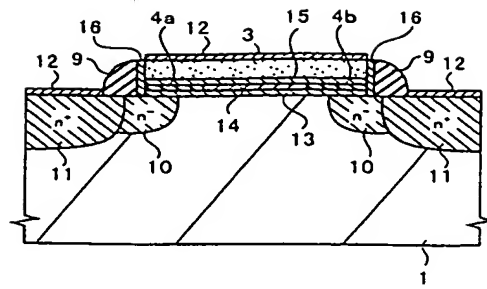
도면3d



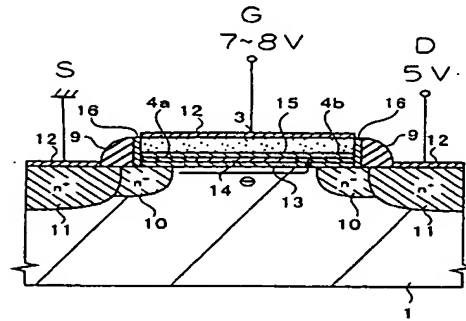
도면3e



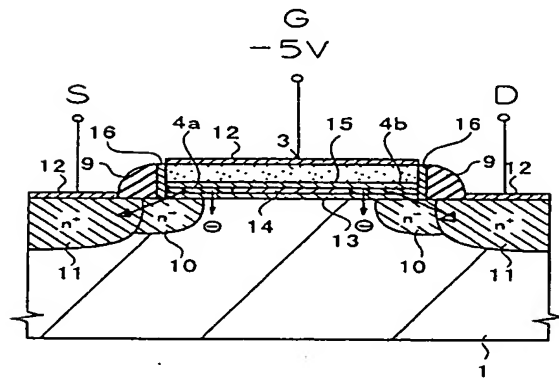
도면4



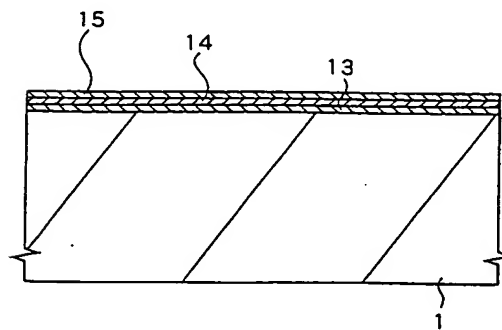
도면5a



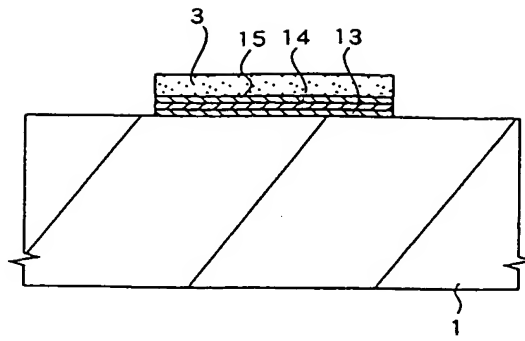
도면5b



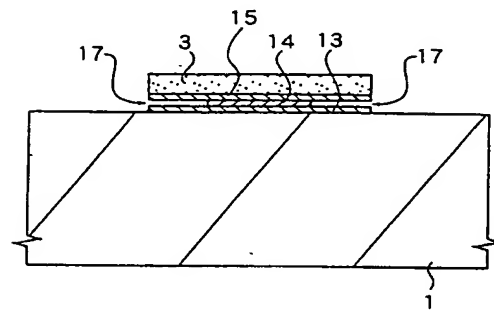
도면6a



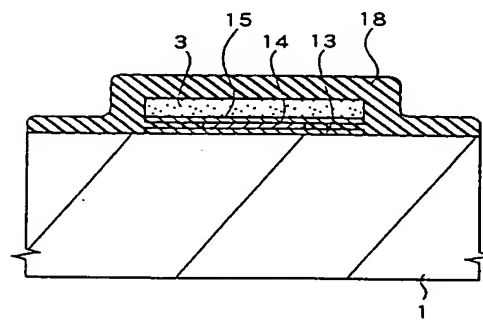
도면6b



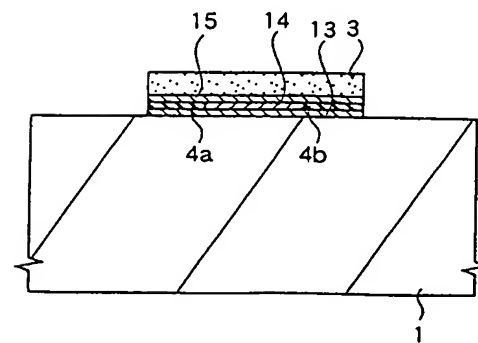
도면6c



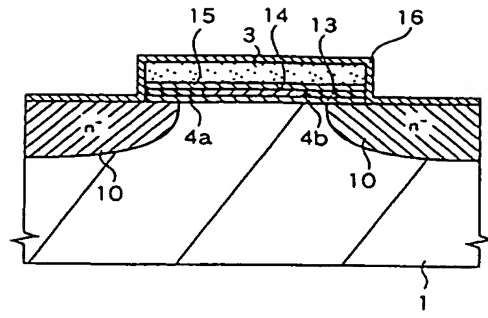
도면6d



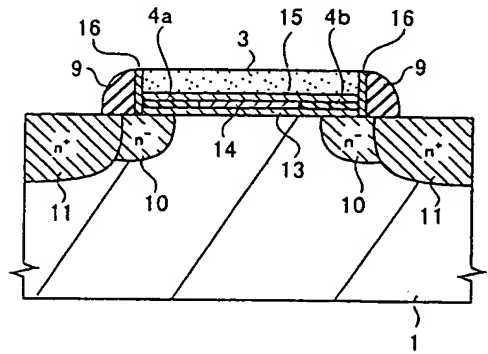
도면6e



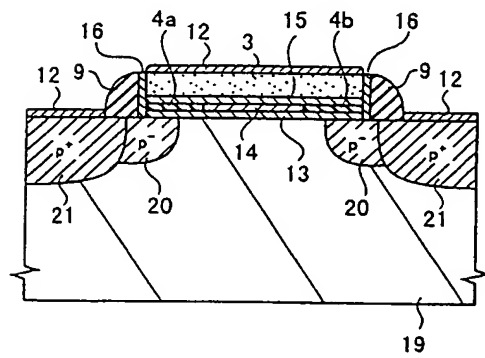
도면6f



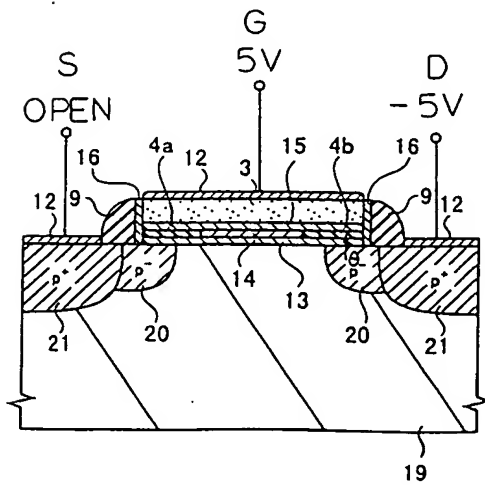
도면6g

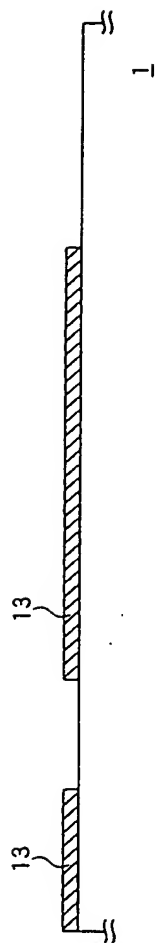


도면7

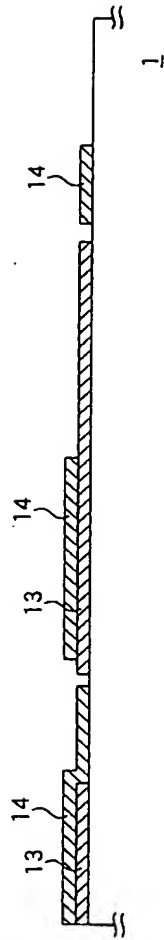


도면8a

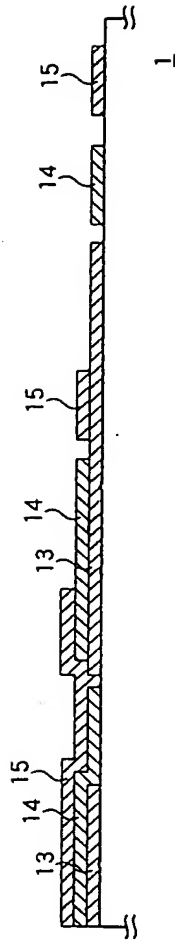




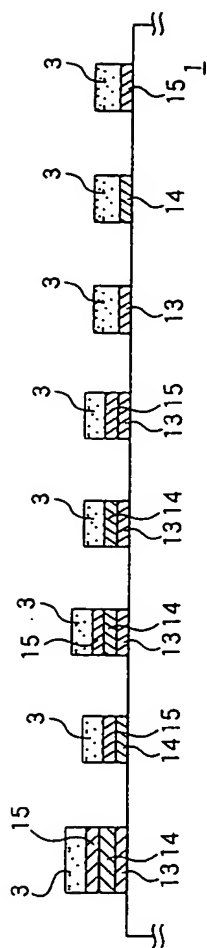
도면10b



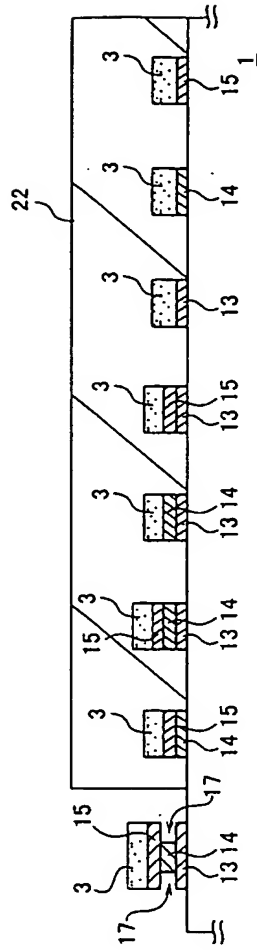
도면 10c



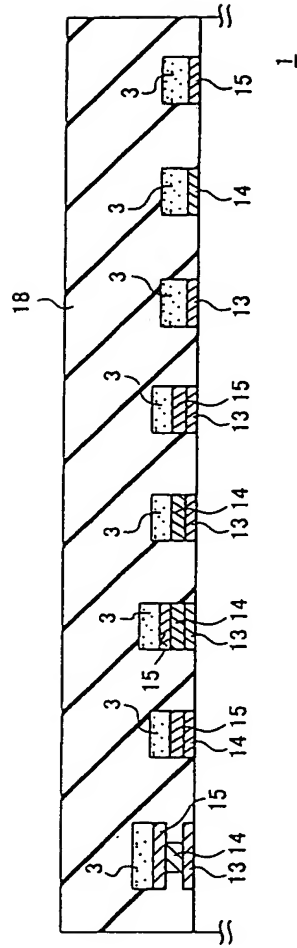
도면10d



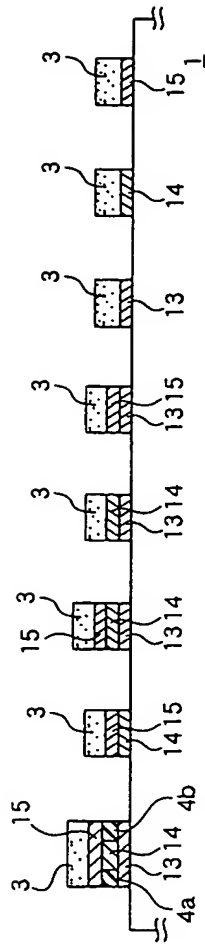
도면10e



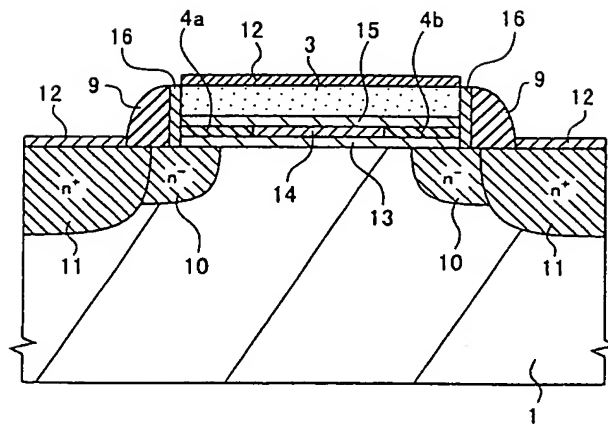
도면 10f



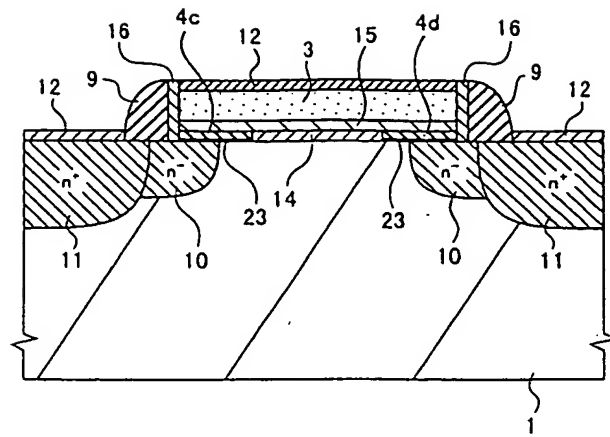
도면 10g



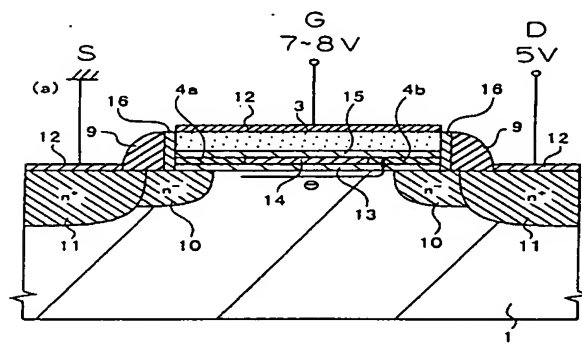
도면11a



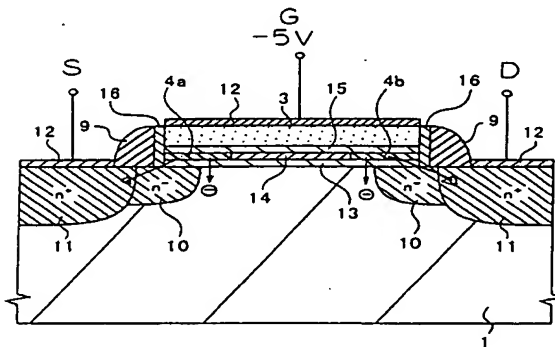
도면11b



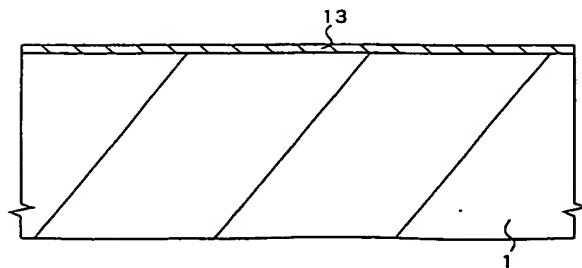
도면12a



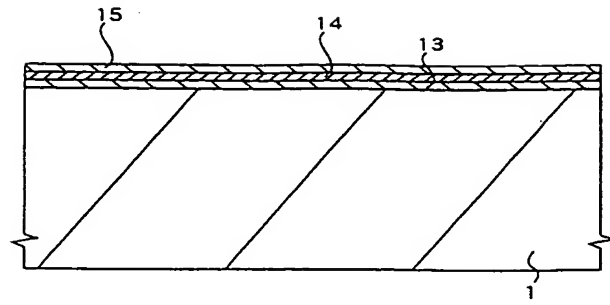
도면12b



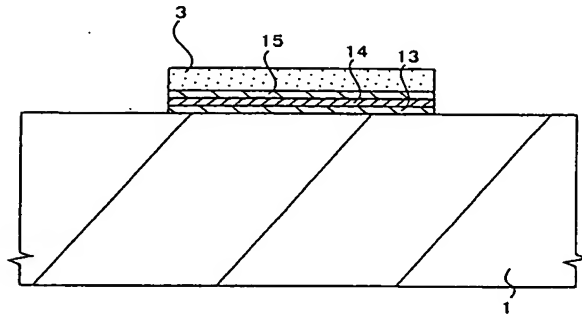
도면13a



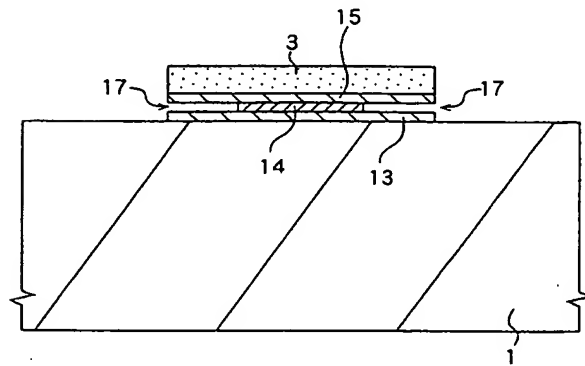
도면13b



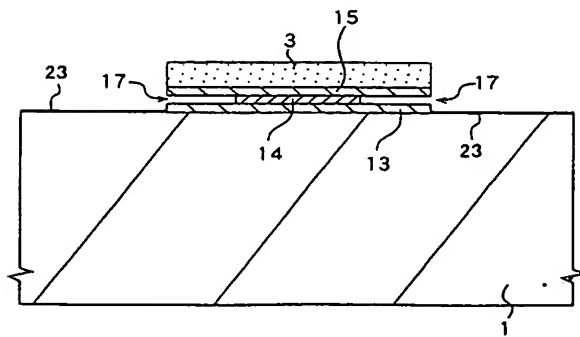
도면13c



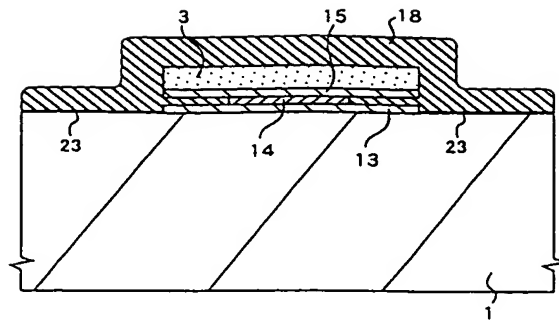
도면13d



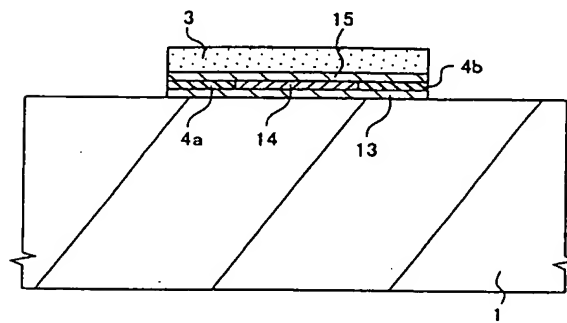
도면13e



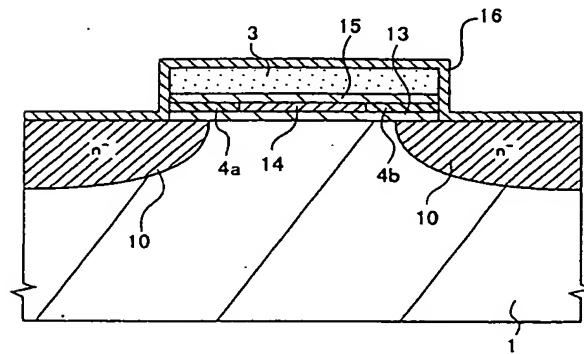
도면13f



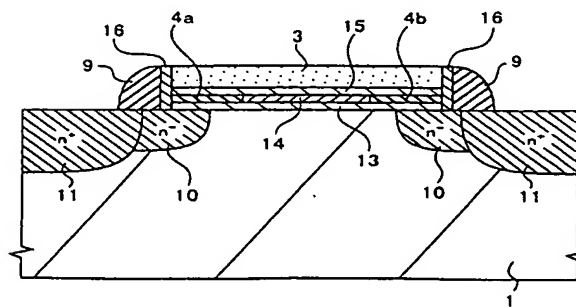
도면13g



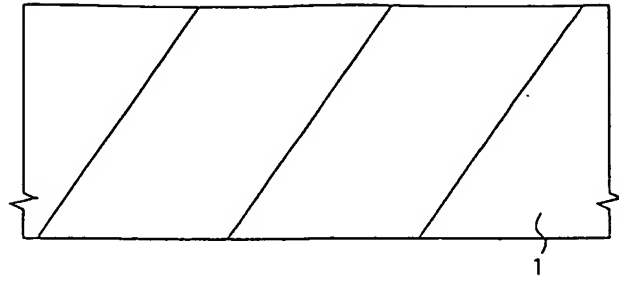
도면13h



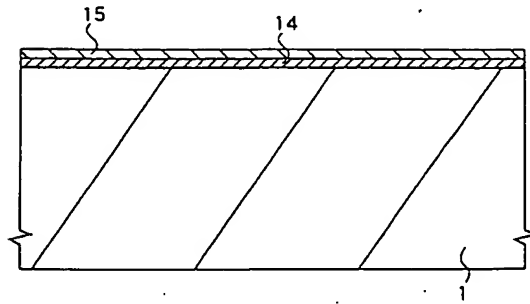
도면13i



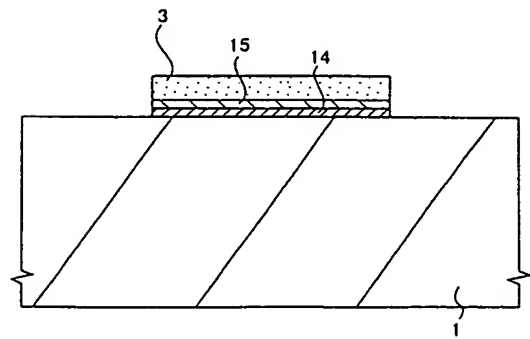
도면14a



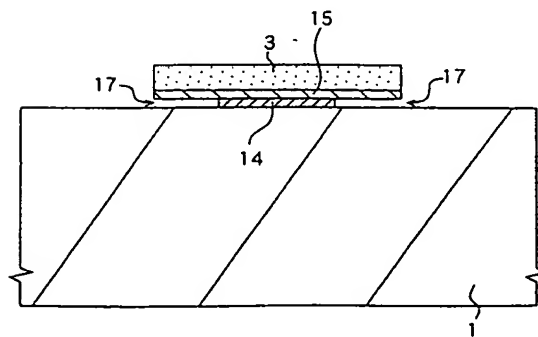
도면 14b



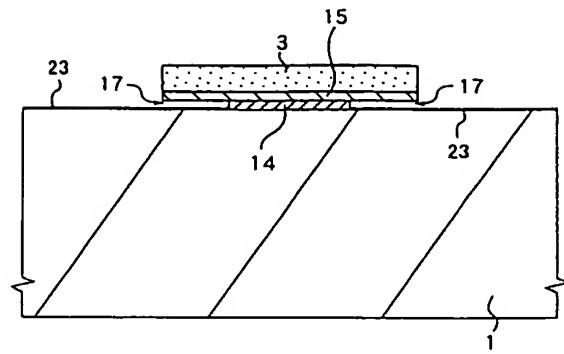
도면 14c



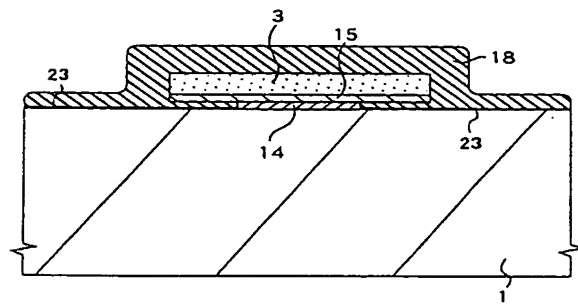
도면 14d



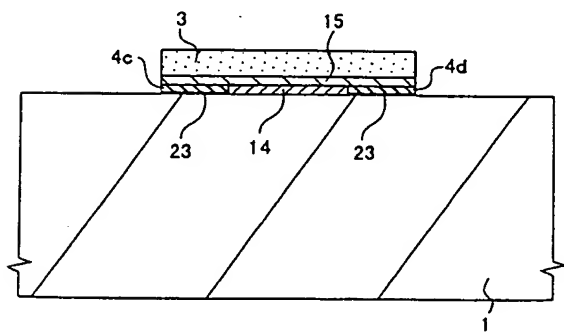
도면 14e



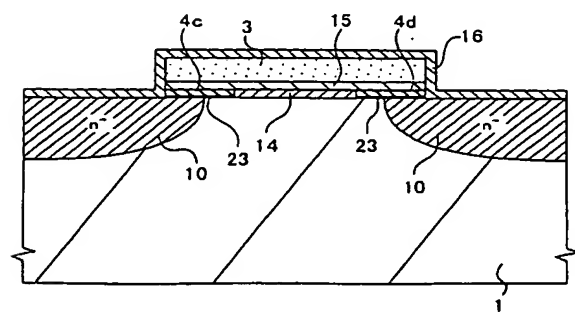
도면14f



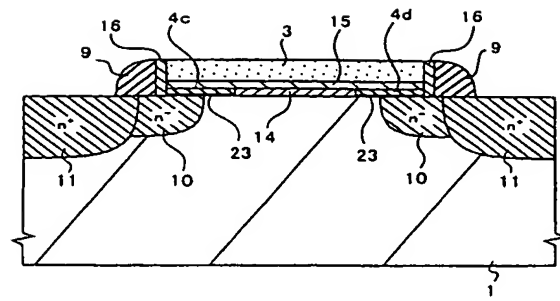
도면14g



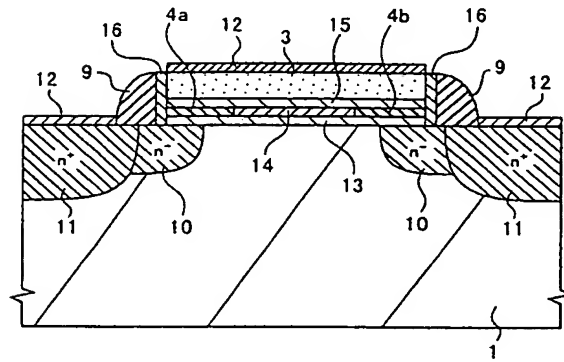
도면14h



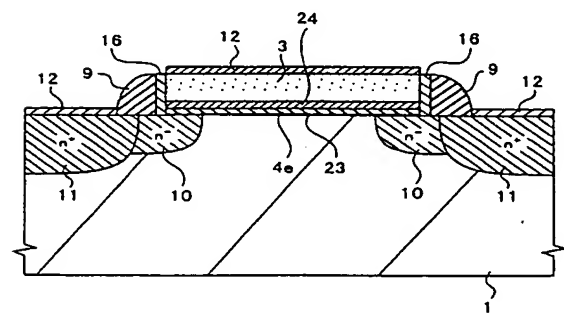
도면14i



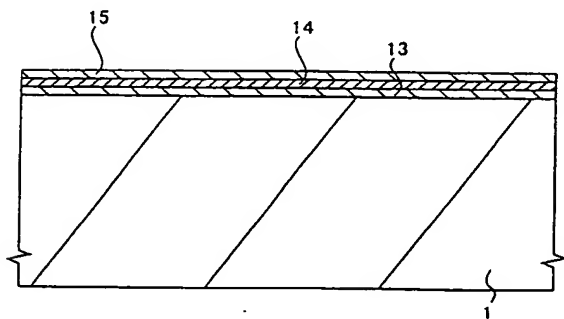
도면15a



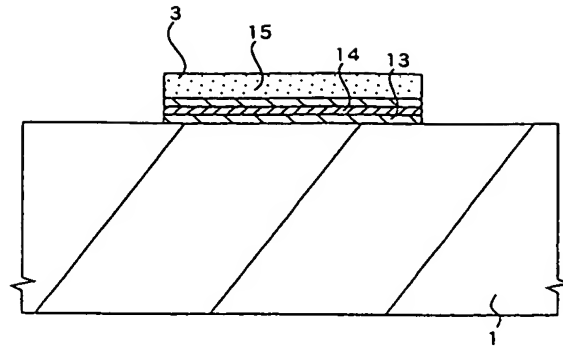
도면15b



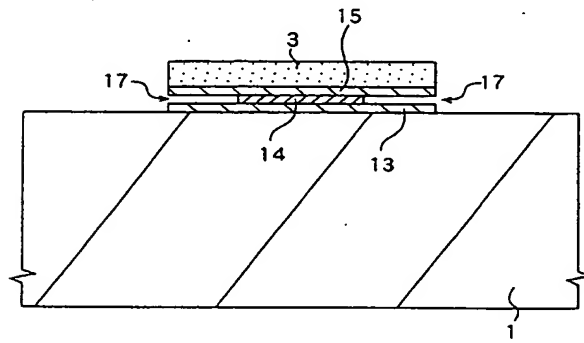
도면16a



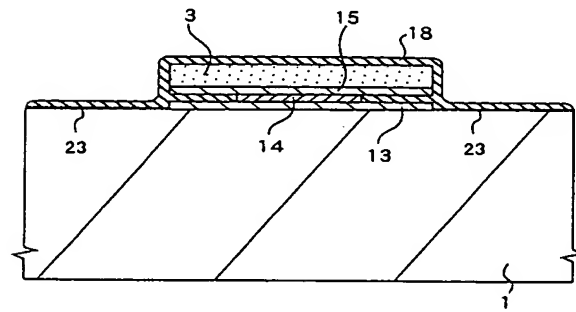
도면16b



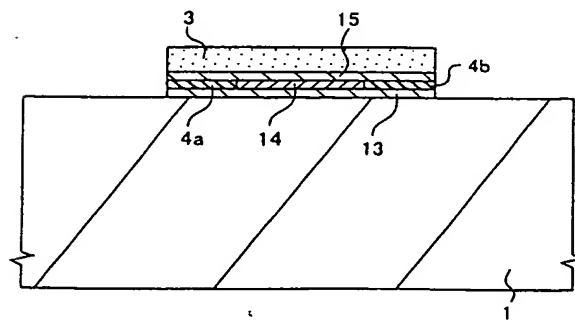
도면16c



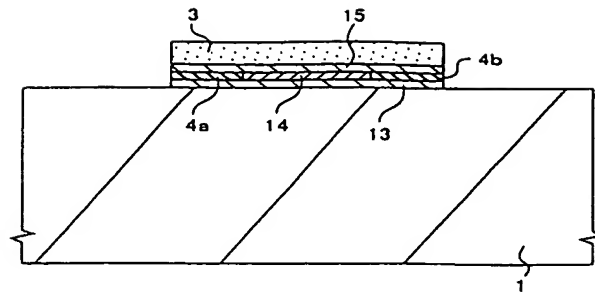
도면16d



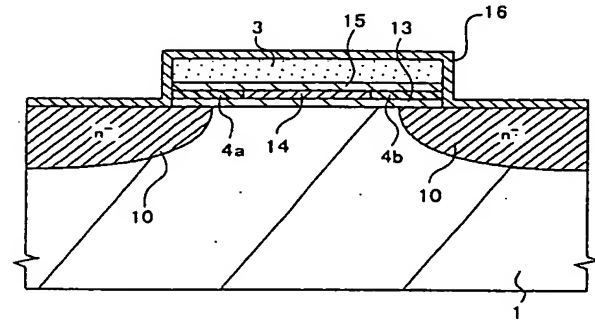
도면16e



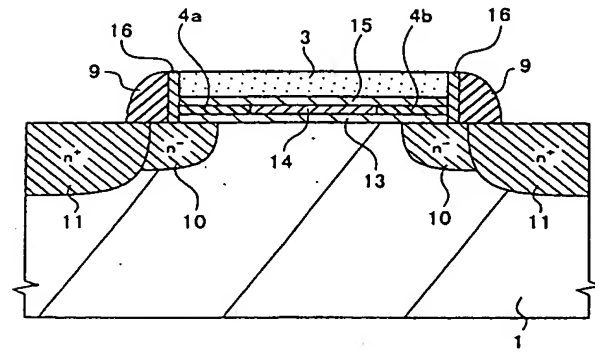
도면16f



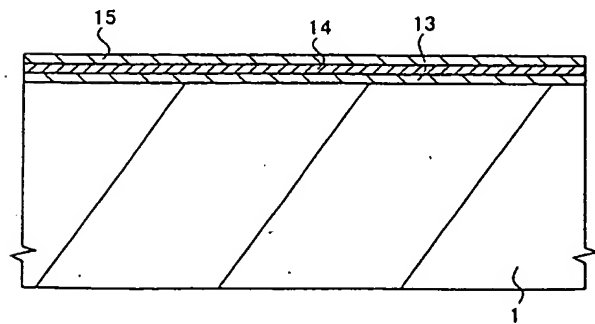
도면16g



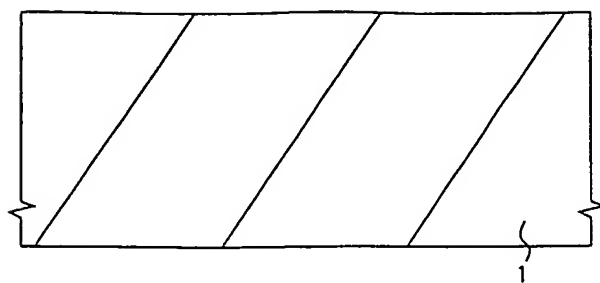
도면16h



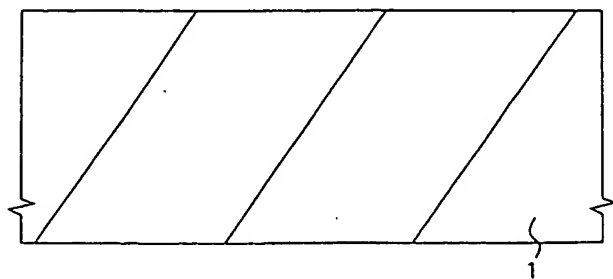
도면17a



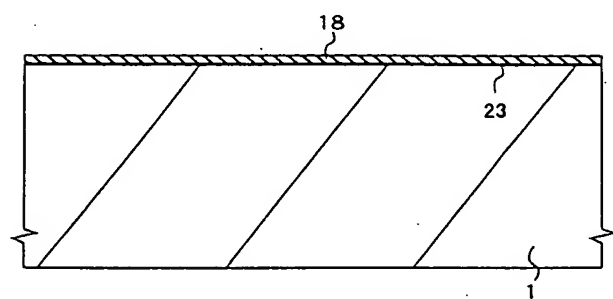
도면17b



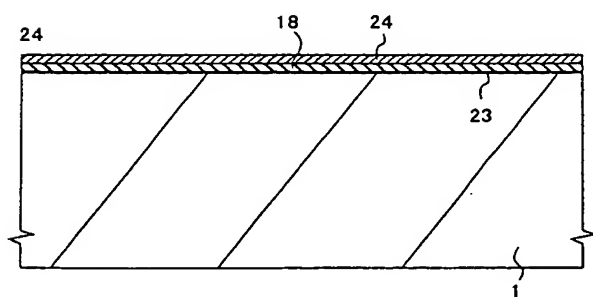
도면17c



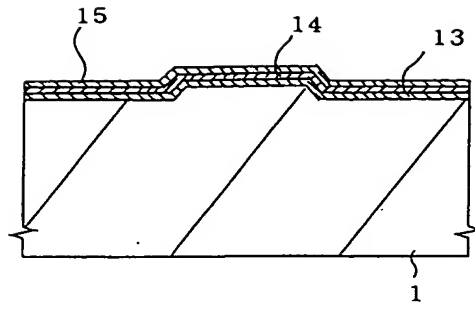
도면17d



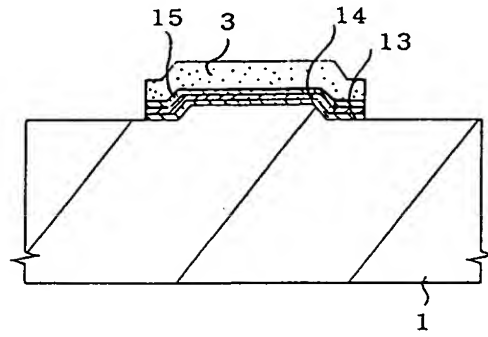
도면17e



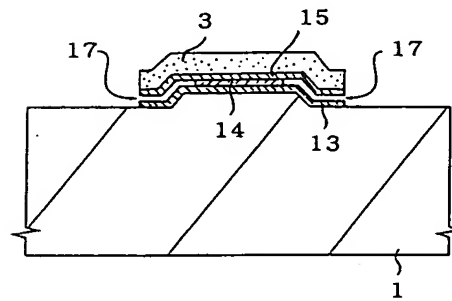
도면17f



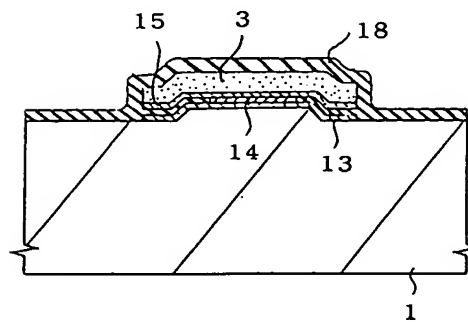
도면20d



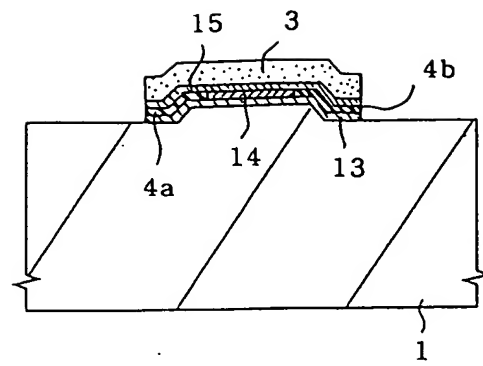
도면20e



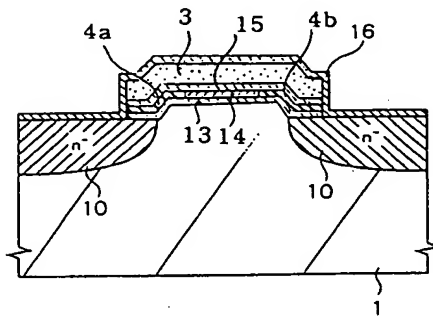
도면20f



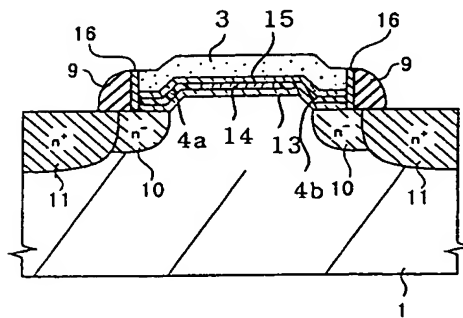
도면20g



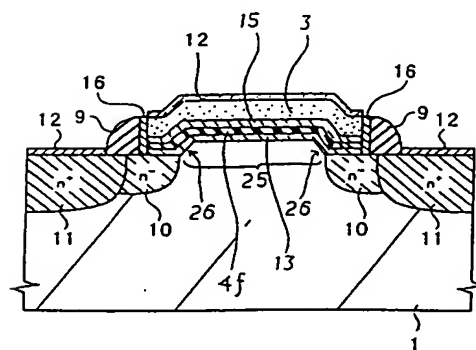
도면20h



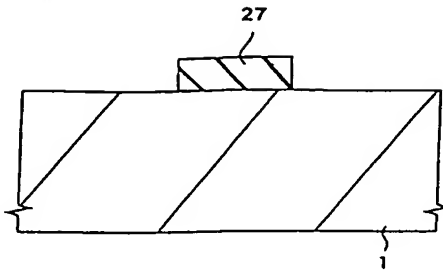
도면20i



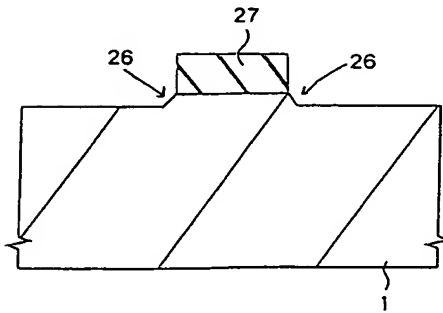
도면21



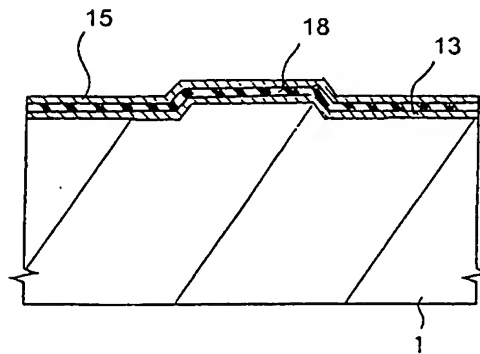
도면22a



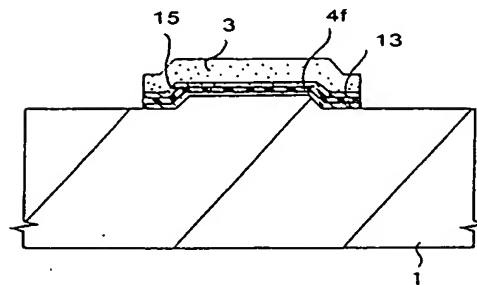
도면22b



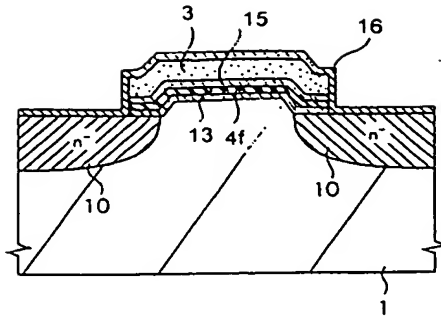
도면22c



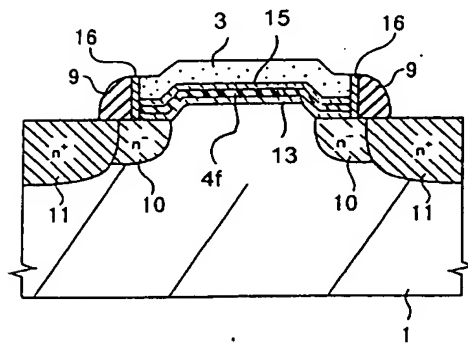
도면22d



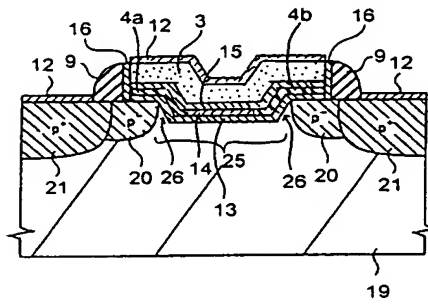
도면22e



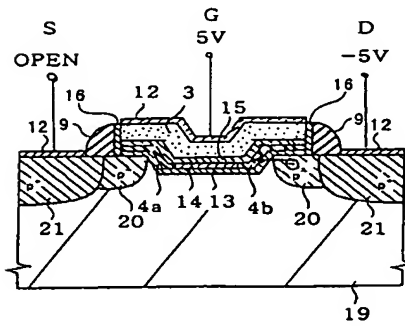
도면22f



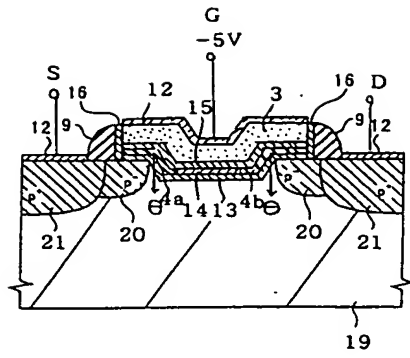
도면23



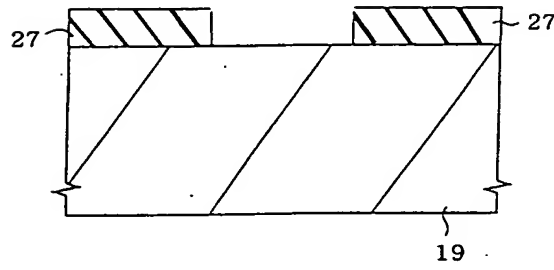
도면24a



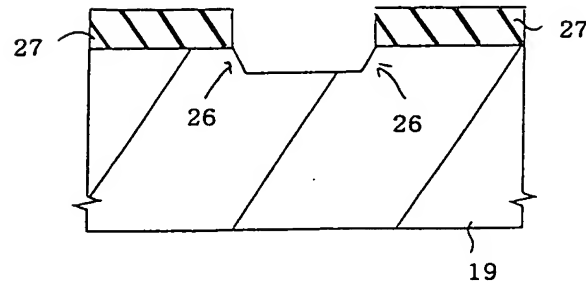
도면24b



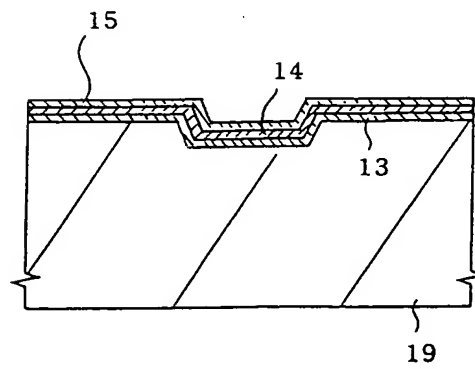
도면25a



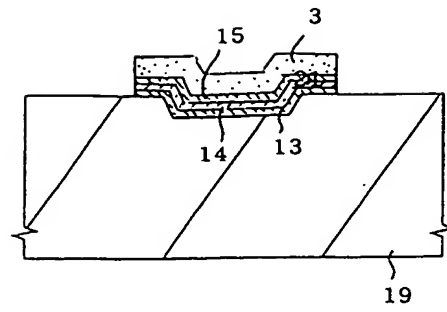
도면25b



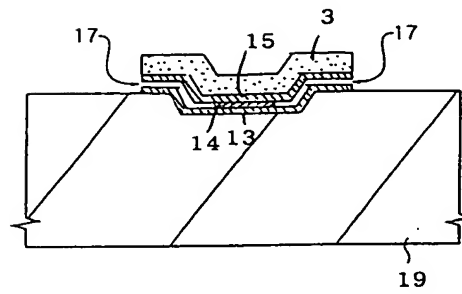
도면25c



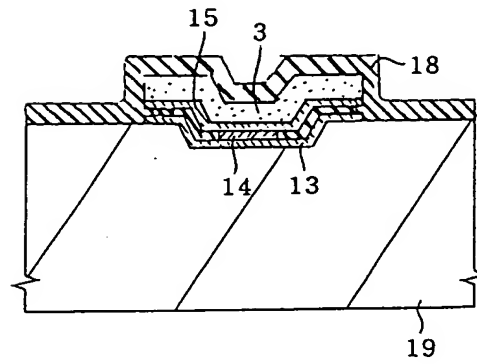
도면25d



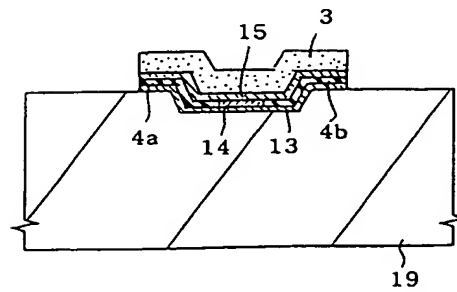
도면25e



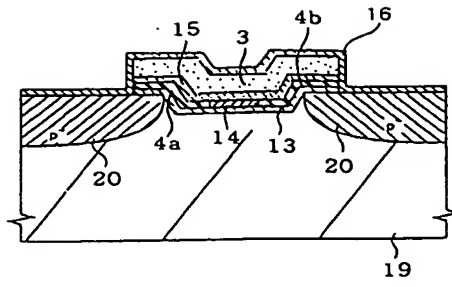
도면25f



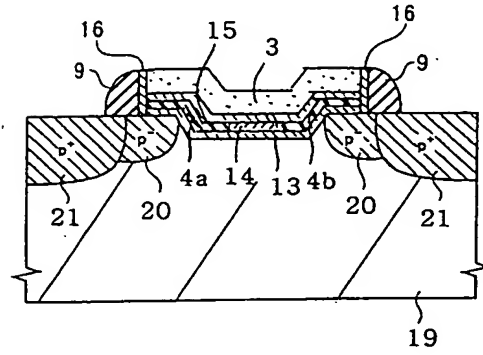
도면25g



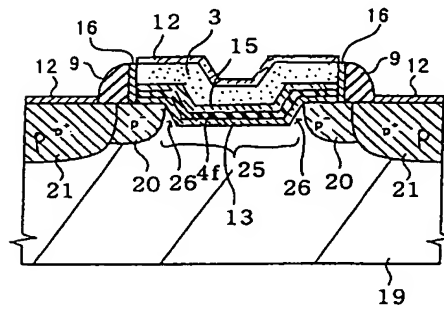
도면25h



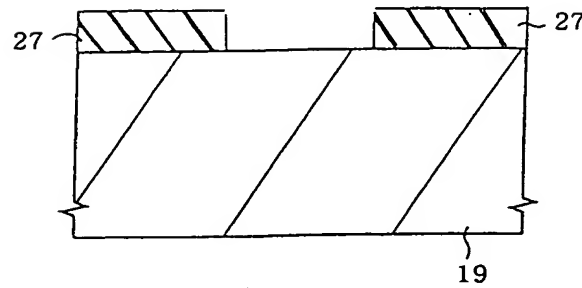
도면25i



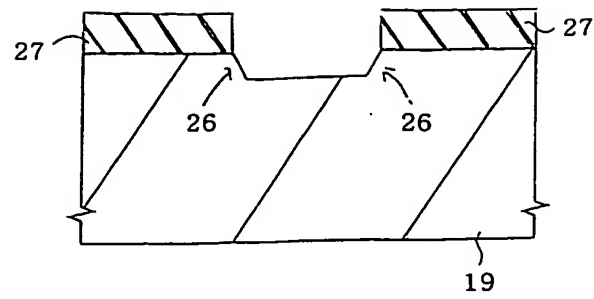
도면26



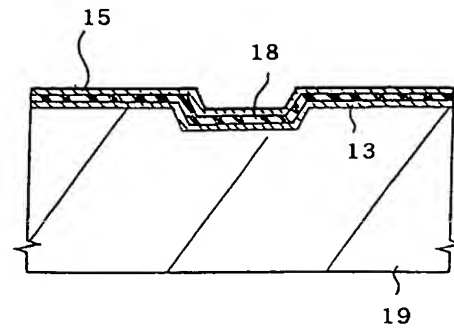
도면27a



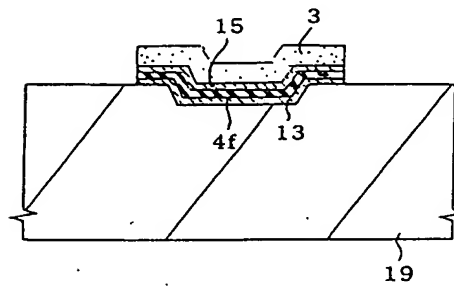
도면27b



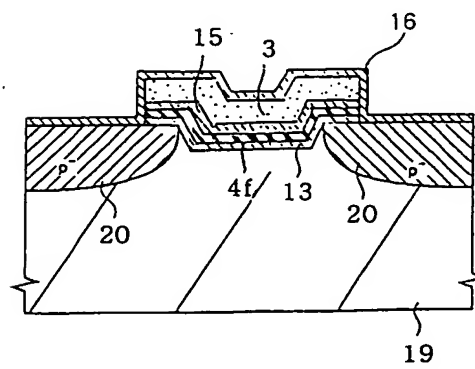
도면27c



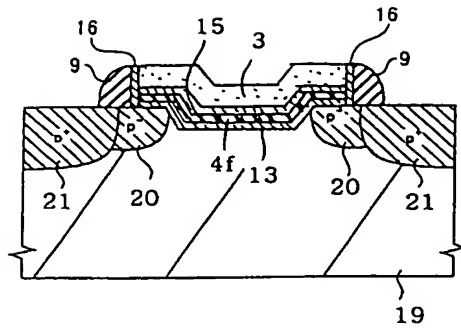
도면27d



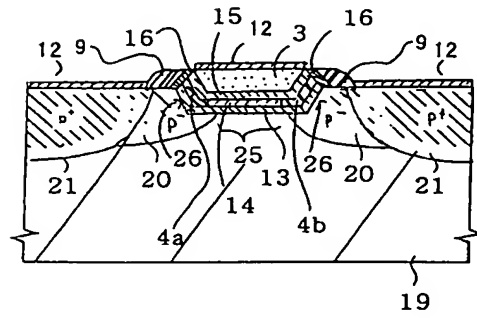
도면27e



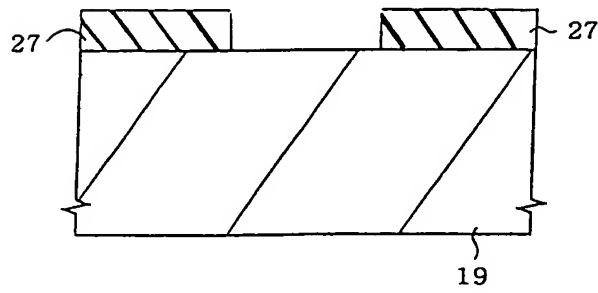
도면27f



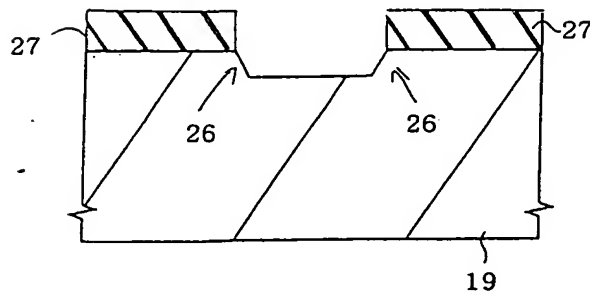
도면28



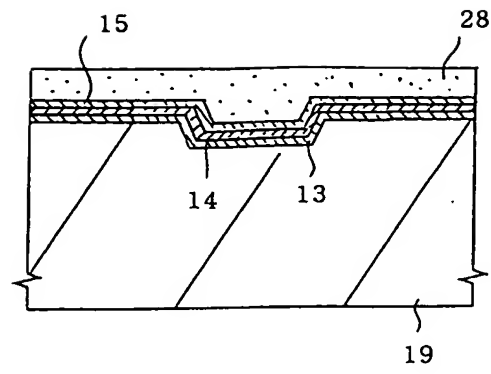
도면29a



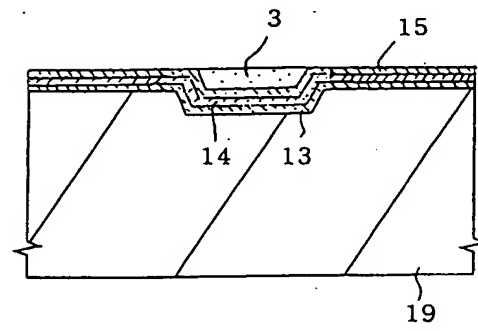
도면29b



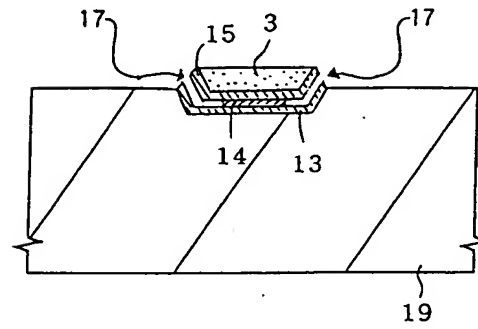
도면29c



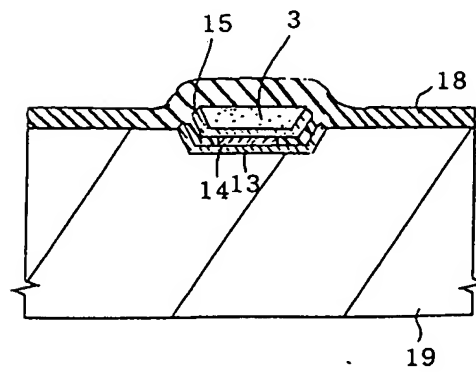
도면29d



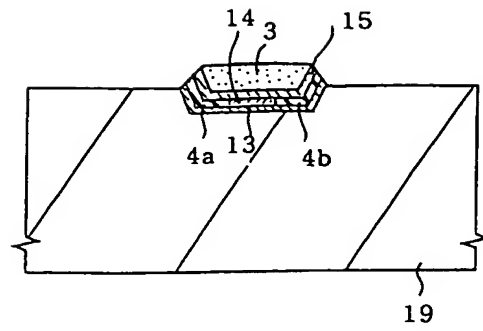
도면29e



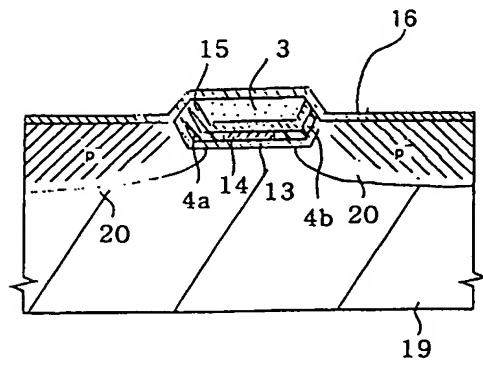
도면29f



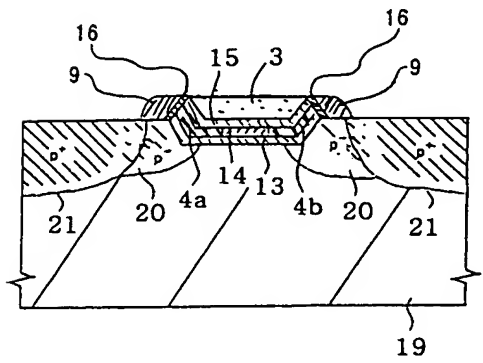
도면29g



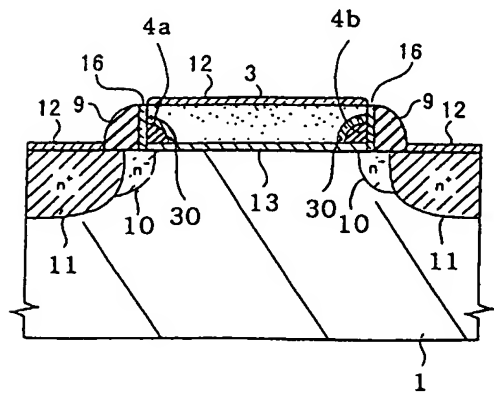
도면29h



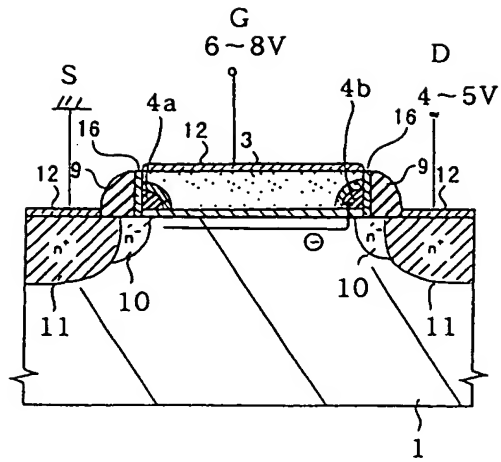
도면29i



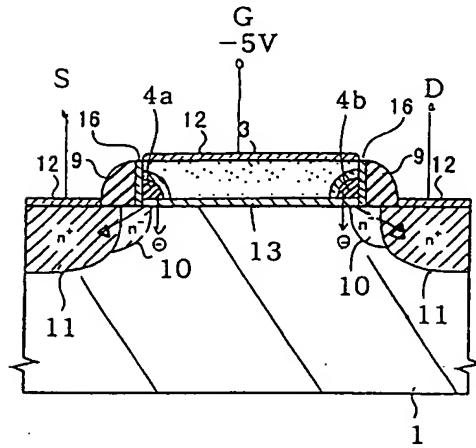
도면30



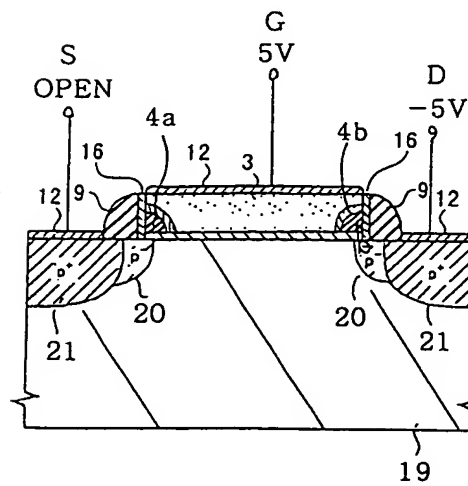
도면31a



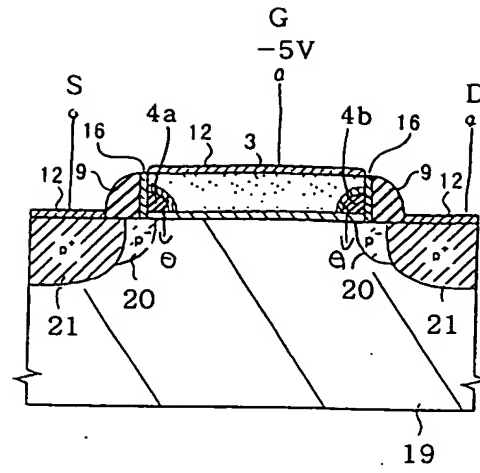
도면31b



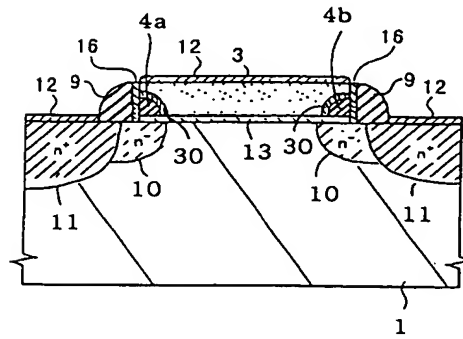
도면32a



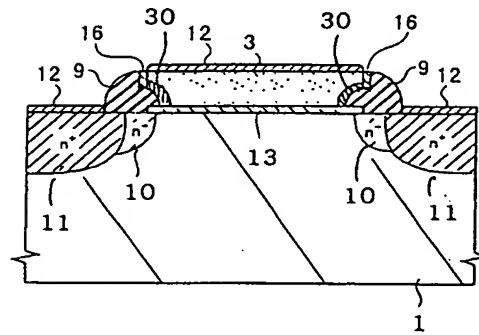
도면32b



도면33



도면34



도면35

